



Conception, fabrication, caractérisation et modélisation de transistors MOSFET haute tension en technologie avancée SOI (Silicon-On-Insulator)

Antoine Litty

► To cite this version:

Antoine Litty. Conception, fabrication, caractérisation et modélisation de transistors MOSFET haute tension en technologie avancée SOI (Silicon-On-Insulator). Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes, 2016. Français. NNT : 2016GREAT002 . tel-01280101

HAL Id: tel-01280101

<https://theses.hal.science/tel-01280101>

Submitted on 29 Feb 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ GRENOBLE ALPES

Spécialité : **Nano Electronique et Nano Technologies**

Arrêté ministériel : 7 août 2006

Présentée par

Antoine LITTY

Thèse dirigée par **Sorin Cristoloveanu** et
codirigée par **Sylvie Ortolland**

préparée au sein du **Laboratoire IMEP-LAHC**
dans l'**École Doctorale EEATS Electronique, Electrotechnique,
Automatique et Traitement du Signal (Grenoble INP)**

Conception, fabrication, caractérisation et modélisation de transistors MOSFET haute tension en technologie avancée SOI (Silicon-On- Insulator)

Thèse soutenue publiquement le **11 Janvier 2016**,
devant le jury composé de :

M. Frédéric MORANCHO

Professeur, Université Paul Sabatier de Toulouse, Rapporteur

M. Florin UDREA

Professeur, University of Cambridge, Rapporteur

Mme Anne KAMINSKI-CACHOPO

Professeur, Grenoble-INP, Présidente

M. Bruno ALLARD

Professeur, INSA Lyon, Examineur

Mme Sylvie ORTOLLAND

Docteur-Ingénieur, STMicroelectronics, Crolles, Co-encadrante de thèse

M. Sorin CRISTOLOVEANU

Directeur de Recherche, CRNS, Directeur de thèse



*La science, mon garçon, est faite d'erreurs, mais d'erreurs
qu'il est bon de commettre, car elles mènent peu à peu à la
vérité.*

Jules Verne, Voyage au centre de la terre

Remerciements

Ces travaux de thèse ont eu lieu dans le cadre d'une collaboration entre la société STMicroelectronics (site de Crolles) et l'Institut de Microélectronique, d'Electromagnétisme et de Photonique de l'Université de Grenoble (IMEP-LaHC) grâce au concours de l'Association Nationale de la Recherche et de la Technologie (ARNT).

Je tiens tout d'abord à remercier sincèrement mes encadrants. Je remercie Sylvie Ortolland pour ses conseils techniques quotidiens, sa confiance et sa patience. De même, je tiens à remercier Sorin Cristoloveanu d'avoir encadré mes débuts de chercheur et de m'avoir fait profiter de toute son expérience. Je voudrais souligner leur enthousiasme, leur aide inestimable et leurs encouragements permanents qui ont rendu possible la rédaction de ce travail.

Je tiens également à témoigner ma reconnaissance envers les membres du jury pour leur attention envers ces recherches: M. Frédéric Morancho, Professeur à l'Université Paul Sabatier de Toulouse, M. Florin Udrea, Professeur à l'Université de Cambridge, M. Bruno Allard, Professeur à l'INSA de Lyon et enfin Mme. Anne Kaminski-Cachopo, Professeur à Grenoble-INP.

Je voudrais ensuite saluer tous les membres de mes équipes d'accueil pour m'avoir intégré parmi eux: l'équipe de modélisation des dispositifs chez STMicroelectronics et le groupe CMNE de l'IMEP.

Au sein de l'équipe de modélisation, il me semble important de témoigner ma reconnaissance envers M. Minondo, M. Jaouen et M. Dartigues pour m'avoir fourni les moyens de mener à bien ce projet chez STMicroelectronics. Je salue également les membres de l'équipe « CTS » pour leurs conseils quotidiens et leur aide précieuse dans de nombreuses situations plus ou moins périlleuses (pratiques ou théoriques): Clément Charbuillet, Nicolas Kauffmann, Stéphane

- Remerciements -

Ferraton, Mélanie Szczap, Jean-Francois Kruck, ainsi que Matthieu Quoirin et Vincent Quenette pour leur aide lors des campagnes de mesures (et sur un terrain de sport). Je voudrais aussi remercier les « experts » pour leurs connaissances qu'ils ont toujours été enclins à partager avec passion : Thierry Poiroux, Patrick Scheer, Gilles Gouget, André Juge et Didier Céli. Il me semble aussi indispensable de remercier les membres de « DTS » et les « Tools » pour leur bonne humeur au quotidien, leurs supports et les réponses à mes diverses questions. Je remercie en particulier Frédéric Dauge pour son aide avec les instruments de mesures et Guillaume Bertrand pour son expertise en modélisation des MOS haute tension.

Enfin il m'est important de saluer chaleureusement nos « alter-égo ESD » pour nos nombreux échanges et discussions: Pascal Fonteneau et ses « doctorants », Hassan El Dirani et Yohann Solaro.

Par ailleurs, je voudrais aussi remercier les équipes qui ont apporté leur concours à ce travail : « TILT », « ECR », « DRM », « CarPhy » et « PI ». Je voudrais remercier en particulier Stéphane Martin pour m'avoir formé et supporté dans l'art du layout en environnement « évolutif », Xavier Federspiel, Gaëlle Beylier, Aurélie Bajolet, Ruddy Costanzi, Julien Rosa et Francois Dieudonné de m'avoir permis de réaliser mes campagnes de caractérisation. Je les remercie sincèrement pour leur sérieux et leur patience. Un grand merci à Estelle Batail, Emilie Bernard, Raffaele Bianchini et Cecilia Mezzomo pour avoir rendu possible la conception et le dessin des structures de test, à A.Truchet, A.Margain L. Clément et N.Bicais pour m'avoir offert un regard nouveau sur mes échantillons en réalisant les coupes T.E.M. Je suis reconnaissant envers Emmanuel Josse, Jérôme Mazurier et Christian Dutto pour avoir permis la fabrication de nos structures. Je tiens ici à remercier vivement Dominique Golanski. Sans son implication, son aide et son intérêt pour les transistors MOS haute tension, une grande partie du procédé de fabrication me serait resté inaccessible.

Je tiens également à saluer Olivier Saxod, Maryline Bawedin pour leur aide dans mes simulations numériques, Nicolas Corrao et Thomas Quemerais pour la conception des structures pour la radiofréquence.

Au-delà de la partie « technique » de ses remerciements, il me paraît important de remercier les autres doctorants avec qui j'ai partagé de bons moments et mes premières armes en recherche :

- Remerciements -

Luca, Carlos, Carlos (2), Madjid, Elodie, Jérôme, Jonani, Bastien, Gaspard, Damien, Alex, Yvan, Flavio, Arthur, Benjamin, Fanyu, Sotirios, José.

Je remercie également tous mes amis et ma famille pour m'avoir supporté durant ces trois années qui n'ont pas toujours révélé mon meilleur caractère. Je vous remercie pour m'avoir permis de m'échapper de mon sujet de thèse, d'avoir maintenu à flot mon moral et ma forme.

Et surtout, merci à Camille pour ses encouragements et sa présence à mes côtés.

Merci à tous.

- Remerciements -

Glossaire et notations

A, B

α	Facteur de couplage entre les grilles avant et arrière (<i>Coupling factor</i>)
α_D	Rapport cyclique de conversion (<i>Duty Factor</i>)
BiCMOS	Technologie Bipolaire CMOS
BOX	Oxyde enterré (<i>Buried Oxyde</i>)
BV_{DS}	Tension de claquage drain-source (<i>Drain-Source Breakdown Voltage</i>)
BV_{OFF}	Tension de claquage drain-source à l'état bloqué (<i>Off-state Breakdown Voltage</i>)

C

C_{BOX}	Capacité de l'oxyde enterré
C_{OX}	Capacité de l'oxyde de grille
C_{Si}	Capacité du silicium
CESL	Couche d'arrêt pour la gravure des contacts (<i>Contact Etch Stop Layer</i>)
CET	Epaisseur électrique équivalente de l'oxyde de grille (<i>Capacitance Equivalent Thickness</i>)
CMOS	Technologie MOS complémentaires (<i>Complementary MOS</i>)

D, E

DIBL	Abaissement de la barrière de potentiel dans le canal induit par polarisation du drain (<i>Drain Induced Barrier Lowering</i>)
DMOS	Transistor MOS double-diffusé
DGP	Configuration à deux plans de masse indépendants (<i>Dual Ground Plane</i>)
ϵ_{OX}	Permittivité relative de l'oxyde de grille (du SiO ₂ et du matériau haute permittivité)
$\epsilon_{High-K}, \epsilon_{SiO2}$	Permittivité relative de l'oxyde de grille en matériau High-K et SiO ₂ (3,9)
ϵ_{Si}	Permittivité relative du silicium (11,9)
EDMOS	Transistor MOS à drain étendu (<i>Drain-extended MOSFET</i>)
ETSOI	Silicium sur Isolant Extrêmement fin (<i>Extra-Thin Silicon-On-Insulator</i>)
EI	Intégrité Electrostatique

F, G, H

FDSOI	Silicium sur Isolant Totalement Déserté (<i>Fully-Depleted Silicon-On-Insulator</i>)
f_T	Fréquence de transition
GIDL	Courant de fuite de drain induit par polarisation de la grille (<i>Gate Induced Drain Leakage</i>)
GP	Plan de masse (<i>Ground Plane</i>)
HBT	Transistor bipolaire à hétérojonction
High-K	Matériau haute permittivité
HCI	Dégradations par porteur chaud (<i>Hot Carrier Impact</i>)

I, K, L

I_{DS}	Courant entre source et drain d'un transistor
I_D	Courant de drain d'un transistor
I_{LIN}	Courant de drain d'un transistor en régime linéaire
I_{ON}	Courant de drain en saturation à l'état passant (<i>On-State Current</i>)
I_{OFF}	Courant de drain en saturation à l'état bloqué (<i>Off-State Current</i>)
IGBT	Transistor bipolaire à grille isolée (<i>Insulated gate bipolar transistor</i>)
k	Constante de Boltzmann ($1,38066.10^{-23}$ J/K)
L, L_{el}	Longueur géométrique, Longueur électrique du canal du transistor
L_{EXT}	Longueur de la zone d'extension de drain d'un transistor MOS haute tension
LDO	Régulateur linéaire (<i>Low Dropout Regulator</i>)

M, N, P, O, Q

MOS(FET)	Transistor Métal-Oxyde-Semiconducteur à effet de champ (<i>Field Effect MOS transistor</i>)
N_A, N_D	Concentration en atomes accepteurs, donneurs dans le canal ou au niveau d'une jonction
N_{EXT}, N_{DRIFT}	Concentration en impureté de la zone d'extension de drain d'un transistor haute tension
n_i	Concentration intrinsèque des porteurs dans le silicium
OV	Longueur du recouvrement de la grille sur la zone de dérive (<i>Overlap</i>)
OV_{GP}	Position de la jonction entre les deux grilles arrière par rapport au transistor
PA	Amplificateur de puissance (<i>Power Amplifier</i>)
Q_{Dep}	Charge de déplétion dans le canal
q	Charge élémentaire ($1,6.10^{-19}$ C)

R, S, T

RF	Radiofréquence
$R_{ON.S}$	Résistance à l'état passant spécifique (<i>Specific On-Resistance</i>)
RPO	Oxyde de protection contre la siliciuration (<i>Resist protect oxide</i>)
SCE	Effets de canaux court (<i>Short Channel Effect</i>)
SCR	Thyristor (<i>Silicon Controlled Rectifier</i>)
SMPS	Alimentation à découpage (<i>Switched Mode Power Supply</i>)
SOI	Silicium-sur-Isolant (<i>Silicon-On-Insulator</i>)
SPICE	Programme de simulation (<i>Simulation Program with Integrated Circuit Emphasis</i>)
SiP, SoC	Système en boîtier, sur puce (<i>System-In-Package, System-On-Chip</i>)
T	Température (K)
TCAD	Conception assisté par ordinateur (<i>Technology Computer Aided Design</i>)
t_{Si}	Epaisseur du film de silicium
t_{BOX}	Epaisseur de l'oxyde enterré
t_{epi}	Epaisseur de l'épithaxie des régions source/drain
$t_{OX}, t_{OX_{el}}$	Epaisseur géométrique, électrique de l'oxyde de grille
t_{dep}	La profondeur de déplétion dans le canal au seuil

U, V, W

UTBB	Film et oxyde enterré ultraminces (<i>Ultra-Thin Body and Buried Oxide</i>)
UTSOI	Modèle compact de MOS FDSOI développé par le CEA LETI.
V_B, V_{B1}, V_{B2}	Tension de grille arrière
V_{TH}	Tension de seuil du transistor (<i>Threshold Voltage</i>)
V_{DD}	Tension d'alimentation
V_G (V_{GS})	Polarisation de grille (différence de potentiel avec la source) ¹
V_D (V_{DS})	Polarisation de drain (différence de potentiel avec la source) ¹
V_S	Polarisation de source
V_{FB}	Tension de bande plate
W	Largeur du transistor (dimension transverse au canal)

X,Y,Z

X_j	Profondeur des jonctions Source/Drain sur silicium massif
-------	---

¹ Dans notre étude, la source est toujours connectée à la masse ($V_S=0V$). Ceci permet d'écrire $V_G=V_{GS}$ et $V_D=V_{DS}$.

Table des matières

Remerciements.....	3
Glossaire et notations.....	7
Introduction.....	15
Chapitre 1 La technologie CMOS FDSOI et les applications de puissance.....	19
1.1. Evolutions du transistor MOS vers l'architecture FDSOI.....	20
1.1.1. Le transistor MOS et la technologie CMOS.....	20
1.1.2. Miniaturisation du transistor MOS sur substrat massif.....	23
1.1.3. La technologie UTBB FDSOI.....	27
1.2. Les applications haute tension en CMOS et les MOS haute tension.....	35
1.2.1. Applications haute tension.....	35
1.2.2. Contraintes et limites des technologies CMOS pour les applications de puissance ...	44
1.2.3. Etat de l'art des composants de puissance: les transistors MOS haute tension.....	50
1.3. Conclusion du chapitre.....	57
1.4. Bibliographie.....	58
Chapitre 2 Etude de la faisabilité de MOS haute-tension en technologies SOI avancées	67
2.1. Transposition de l'EDMOS dans la zone hybride.....	68
2.1.1. L'hybridation du substrat.....	68

2.1.2. EDMOS dans la zone hybride du FDSOI	69
2.2. Etude théorique de la transposition de l'EDMOS sur SOI	74
2.2.1. Problématique du SOI mince pour les MOS haute tension	74
2.2.2. Impact de la réduction des épaisseurs: approche analytique	76
2.2.3. Simulations numériques de l'EDMOS sur SOI	79
2.3. Fabrication d'EDMOS sur SOI et plan d'expériences	87
2.4. Caractérisation des EDMOS sur SOI	89
2.4.1. Impact du dopage	89
2.4.2. Impact de la géométrie du transistor	93
2.5. Conclusion	95
2.6. Bibliographie	96
Chapitre 3 Une architecture innovante en FDSOI: le Dual Ground Plane EDMOS	99
3.1. Architecture et principe de fonctionnement	100
3.2. Etude par simulations du DGP EDMOS: effet conjugué du dopage et de la face arrière	102
3.2.1. Etat bloqué	102
3.2.2. Etat passant	105
3.2.3. Impact de la position du Dual Ground Plane	107
3.3. Fabrication du dispositif	110
3.3.1. Technologie 28nm FDSOI	110
3.3.2. Technologie 14nm FDSOI	112
3.4. Caractérisation	115
3.4.1. Caractéristiques électriques et performances	115
3.4.2. Compromis $R_{ON,S}$ vs BV_{DS} réglable	121
3.5. Etudes des effets de la géométrie	123
3.5.1. Impact de la longueur de la région d'extension	123
3.5.2. Impact de la position du DGP (OV_{GP})	126
3.6. Conclusion	132
3.7. Bibliographie	134
Chapitre 4 Modélisation et mesures pour l'évaluation du composant	137
4.1. Modélisation SPICE des transistors MOS	138
4.1.1. Notion de modèle compact	138
4.1.2. Typologies et comparaison des modèles	139
4.1.3. Extraction et choix d'un modèle	142
4.2. Macro-modélisation des MOS haute tension	143

- Table des matières -

4.2.1. Etat de l'art.....	143
4.2.2. Spécificités des MOS haute-tension	145
4.3. Modélisation du DGP EDMOS en 14nm FDSOI	147
4.3.1. Mesures pour la modélisation	147
4.3.2. Extraction et simulations en régime statique	150
4.4. Eléments de fiabilité	158
4.4.1. Dérive des paramètres.....	158
4.4.2. Identification des zones de dégradation	161
4.5. Conclusion	164
4.6. Bibliographie.....	165
Conclusions.....	169
Productions scientifiques	173
Résumé.....	176

Introduction

Depuis le milieu des années 60, le développement exponentiel de l'industrie microélectronique a permis l'essor de secteurs technologiques à forte valeur ajoutée (télécommunication, informatique...) et de nouvelles applications dans tous les domaines (énergie, santé, transports...). Les circuits intégrés ont en effet su se rendre indispensables dans de nombreux objets de notre quotidien, dans nos industries et nos infrastructures avec la promesse d'en augmenter l'efficacité. Pour répondre aux besoins d'applications de plus en plus exigeantes et faire face à des quantités de données de plus en plus importantes, la miniaturisation continue des technologies à semi-conducteur a permis d'en améliorer sans cesse les performances et les densités d'intégration.

Malgré de nombreuses évolutions technologiques, la réduction des dimensions arrive aujourd'hui à des limites avec des composants de taille inférieure à 20-30nm et l'adoption par l'industrie de nouveaux concepts devient nécessaire. Le passage d'un substrat de silicium massif à un substrat « silicium sur isolant » (ou SOI) ultramince constitue un de ces nouveaux paradigmes que sont en train d'adopter les fabricants de semiconducteurs. Ainsi la technologie totalement désertée abrégée FDSOI (de l'anglais « Fully-Depleted Silicon on Insulator ») avec des composants réalisés dans un film de silicium de quelques nanomètres d'épaisseur (moins de 10nm) permet d'atteindre des vitesses de calcul améliorées et des consommations énergétiques réduites pour les circuits numériques de nouvelle génération.

Dans ce contexte, l'intégration d'applications dites « haute-tension » constitue un défi pour permettre à la technologie CMOS FDSOI d'offrir de nouvelles fonctionnalités. Ces applications, qui regroupent les circuits de conversion d'énergie (convertisseurs DC/DC, régulateurs linéaires) ou ceux d'amplification des signaux radiofréquences (amplificateurs de puissance), sont par exemple nécessaires pour connecter les circuits numériques directement aux sources d'énergies comme la batterie ou les alimentations électriques. Elles reposent sur des composants capables de fonctionner sous de plus fortes tensions que les circuits numériques (conçus pour travailler sous de faibles puissances). En technologie CMOS, les transistors MOS haute tension ou de puissance sont généralement des candidats idéaux pour réaliser de telles applications. Ils sont en effet capables de soutenir et de contrôler de forte tension (de drain) tout en étant commandés avec les tensions d'alimentation (de grille) des transistors MOS digitaux. Cependant, leur développement devient un défi de plus en plus important dans les technologies CMOS avancées avec d'un côté des procédés de fabrication conçus pour des circuits fonctionnant sous des tensions de plus en plus basses (de l'ordre de 1V et en-dessous) et d'un autre côté les hautes tensions (de 3 à 5V), qui dépendent de technologies d'alimentations, restées constantes (comme les batteries ion-lithium par exemple).

Ces travaux de recherche s'inscrivent dans le **développement d'applications haute tension en technologie CMOS FDSOI** et se sont intéressés **pour la première fois à la conception d'un transistor MOS haute tension intégré dans un film ultramine sur isolant**. Afin de bénéficier des avantages d'un tel substrat (isolation totale apportée par l'oxyde enterré, intégrité électrostatique du canal...), nous étudions la transposition du transistor MOS à drain étendu (EDMOS) dans le film de silicium puis nous proposons une architecture innovante d'EDMOS sur SOI. Ce composant tire alors pleinement parti de la technologie FDSOI pour limiter le nombre d'étapes de fabrication (et donc le coût). Dans ce manuscrit, les performances de ces deux approches sont démontrées et étudiées grâce à des simulations et des caractérisations électriques menées sur des échantillons conçus et fabriqués lors de ces travaux.

Dans le **premier chapitre**, nous présentons le contexte de l'étude afin d'en appréhender les enjeux. Nous étudions les avantages et les spécificités de la technologie CMOS FDSOI pour la poursuite de la miniaturisation du transistor MOS. Nous introduisons ensuite la problématique de

l'intégration des applications de puissance en technologie CMOS. Nous finissons le chapitre par un état de l'art des dispositifs au cœur de ces travaux : les transistors MOS haute tension.

Le **second chapitre** est consacré à l'étude de la faisabilité de transistors MOS haute tension dans le substrat SOI mince pour profiter de ses avantages. Après avoir étudié rapidement l'hybridation du substrat pour la réalisation de MOS haute tension avec un coût réduit, nous étudions la réalisation du composant dans le film mince du 28nm FDSOI. Grâce à des simulations numériques et l'optimisation du procédé, nous fabriquons et mesurons des échantillons d'EDMOS sur SOI prometteurs.

Dans le **troisième chapitre**, nous proposons une architecture innovante de MOS haute tension: le Dual Ground Plane EDMOS (DGP EDMOS). En utilisant une seconde grille arrière comme un nouveau levier, elle repose sur les modulations électrostatiques indépendantes des propriétés du canal et de la zone d'extension de drain. Nous montrons que ce nouveau concept permet alors de moduler favorablement le compromis $R_{ON.S}/BV_{DS}$. L'impact des différents paramètres géométriques du dispositif est étudié à travers la caractérisation électrique d'échantillons fabriqués dans les deux nœuds technologiques avancés 28nm et 14nm FDSOI.

Enfin le **dernier chapitre** est consacré à la modélisation SPICE du transistor DGP EDMOS. Dans le but de permettre aux concepteurs de circuits d'évaluer les performances du dispositif, un premier macro-modèle statique est proposé. Il repose sur un modèle de MOS UTSOI2 et un modèle de résistance non linéaire afin de prendre en compte les particularités respectives du FDSOI et du MOS haute tension. Pour conclure ce chapitre, une étude de fiabilité du composant est amorcée pour étudier sa robustesse dans différents régimes de fonctionnement afin de contribuer à son industrialisation.

Chapitre 1

La technologie CMOS FDSOI et les applications de puissance

Ce premier chapitre présente le contexte des travaux menés au cours de ces trois années de thèse. Nous commençons par la présentation rapide de l'évolution du transistor MOS (Métal-Oxyde-Semiconducteur) à effet de champ. Nous verrons en quoi la miniaturisation de ce dispositif a permis l'amélioration exponentielle des performances des technologies CMOS associées (de l'anglais « Complementary MOS »). A l'heure où la réduction des dimensions atteint des limites, nous détaillerons comment les technologies minces sur Silicium sur Isolant (*SOI*) offrent de meilleures performances et répondent aux besoins de l'industrie microélectronique pour les prochaines générations. Nous introduirons ensuite la problématique des dispositifs et des applications de puissance au sein des circuits intégrés en technologie CMOS sur *SOI*. Les notions et figures de mérites étudiées dans la suite de ces travaux seront précisées. Nous finirons ce chapitre par la présentation du dispositif au cœur de ce manuscrit : le transistor MOS haute-tension.

1.1. Evolutions du transistor MOS vers l'architecture FDSOI

1.1.1. Le transistor MOS et la technologie CMOS

Depuis 1965 et l'énoncé de la loi de Moore [1], la miniaturisation continue des composants a permis l'essor de l'industrie microélectronique et des technologies de l'information en offrant, à chaque génération de circuits intégrés, une augmentation exponentielle des performances. Au cœur de cette révolution, le transistor MOS [2], [3] et la technologie CMOS associée [4], [5]. Comme nous allons le voir, la réduction des dimensions du transistor MOS a eu le double avantage d'améliorer simultanément la rapidité de calcul des circuits intégrés CMOS et la densité d'intégration. Ceci a permis à l'industrie microélectronique d'offrir des puissances de calcul de plus en plus importantes tout en diminuant les coûts de fabrication unitaires et explique son intérêt pour la course en avant à la miniaturisation. La Figure 1.1 illustre la loi de Moore et montre l'augmentation du nombre de transistors par puce depuis les années 60 ainsi que l'évolution récente de la taille nominale des transistors (on parle de nœud technologique).

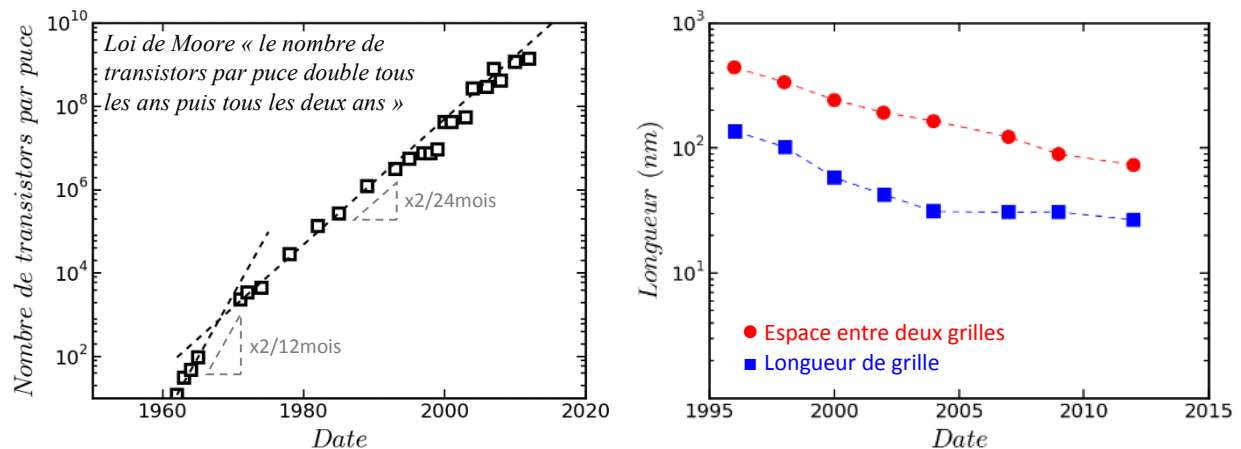


Figure 1.1 : (a) Evolution du nombre de transistors par puce (d'après [1], [6], [7]) et (b) de la taille et de l'écart entre deux composants en fonction de l'année (d'après [8]). Un ralentissement dans la réduction de la taille du transistor est visible.

Le transistor Métal-Oxyde-Semiconducteur ou MOS [9], [2], [3] est un dispositif permettant de conduire ou non le courant électrique en contrôlant la formation d'un canal de porteurs (trous ou électrons) entre deux électrodes (la source et le drain). La formation du canal est commandée par un champ transverse créé par la polarisation d'une troisième électrode isolée (la grille).

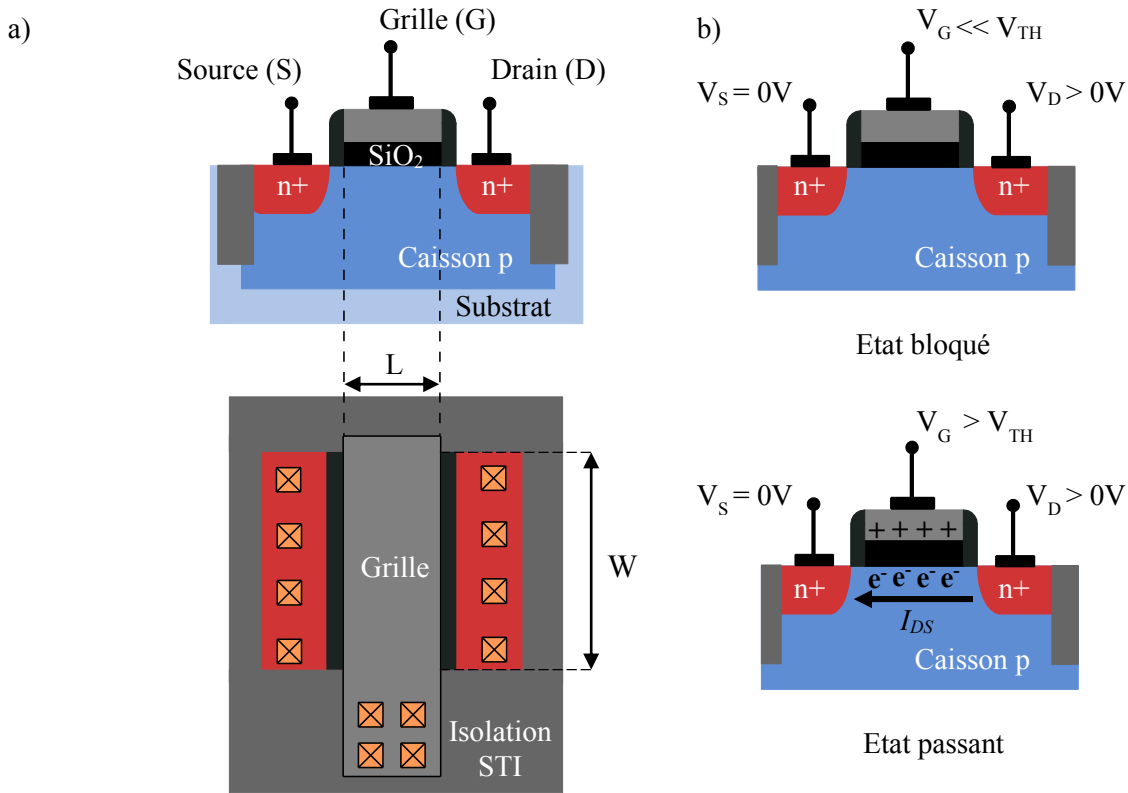


Figure 1.2 : (a) Coupe schématique d'un transistor MOS à effet de champ de type n réalisé en technologie silicium massif (vu en coupe et de dessus). (b) Illustration du principe de fonctionnement d'un transistor MOS avec les états passant et bloqué. (Le principe de fonctionnement reste valable dans le cas d'un dispositif de type p au signe des tensions et courants près)

Le champ électrique transverse permet, en courbant les bandes d'énergie du matériau, de moduler la concentration de porteurs en surface dans le semiconducteur. Si celle-ci augmente suffisamment, un canal de conduction se forme entre les réservoirs de porteurs que constituent la source et le drain: la résistivité du transistor chute et un courant électrique I_{DS} peut passer. Les porteurs dans le canal sont alors mis en mouvement par la différence de potentiel entre la source et le drain notée V_{DS} . On définit la tension de seuil V_{TH} comme la tension de grille V_G nécessaire pour former le canal : on parle alors d'état passant. Par opposition, on parle d'état bloqué lorsque le canal n'est pas formé et qu'aucun courant I_{DS} ne peut circuler (on fera pour l'instant abstraction

des courants de fuite). D'un point de vue idéal, le transistor MOS est donc un interrupteur qui permet de laisser passer ou non le courant en fonction de la tension de grille V_G par rapport à V_{TH} .

En technologie CMOS, le transistor MOS (Figure 1.2) est la plupart du temps fabriqué sur un substrat massif de silicium. La source et le drain sont réalisés par implantation d'impuretés dans un caisson (ou « Well ») de type² opposé obtenu par dopage du substrat. La grille est isolée du substrat par un isolant d'épaisseur T_{ox} . Il s'agit généralement de SiO_2 en raison de sa grande compatibilité avec le Si pour la réalisation d'interface de grande qualité. La zone active de silicium est isolée du reste du substrat par des « shallow trench isolation » en surface (STI). L'espace ainsi délimité détermine la géométrie du transistor. On notera ainsi L la longueur du canal (distance entre source et drain) et W la largeur du transistor (dimension transverse).

Comme son nom l'indique, la technologie CMOS [4], [5] est basée sur l'emploi complémentaire de deux transistors de types opposés pour réaliser les fonctions électroniques élémentaires (Figure 1.3): portes logiques, mémoire SRAM, miroir de courant, etc... On appelle N-MOS le transistor de type N et P-MOS le transistor de type P fonctionnant respectivement avec un canal d'électrons et de trous.

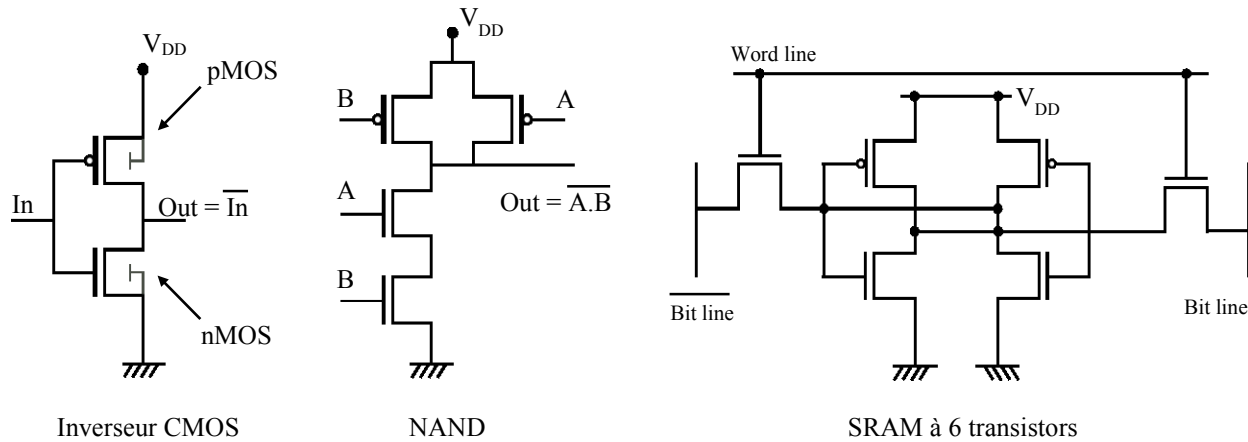


Figure 1.3 : Exemples de fonctions logiques réalisées en technologie CMOS : Fonction NON (gauche), Fonction NON-ET (centre) et point mémoire SRAM (droite). Les symboles électriques respectifs des N-MOS et P-MOS sont explicités sur l'inverseur.

² Le type d'un matériau semiconducteur est déterminé par la nature des impuretés implantées dans le réseau cristallin. On désigne par type N et type P respectivement les matériaux dopés à partir d'atomes donneurs (qui fournit un électron au réseau) et accepteur (qui fournit un trou).

1.1.2. Miniaturisation du transistor MOS sur substrat massif

En réalité un transistor MOS n'est pas un interrupteur idéal. Ses performances se résument au premier ordre par quatre principales figures de mérite : son courant maximal à l'état passant (I_{ON}), le courant de fuite à l'état bloqué (I_{OFF}), la tension de seuil (V_{TH}) et l'inverse de la pente sous le seuil (SS en mV/dec).

En effet le courant I_{ON} est limité par la mobilité des porteurs ou encore les résistances d'accès. Même à l'état bloqué le transistor laisse passer des courants de fuite I_{OFF} . De l'ordre de 1pA/um, ils sont très faibles mais ont un impact non négligeable sur la consommation statique lorsque l'on considère le nombre de transistors (voisin du milliard) mis en jeu dans les circuits modernes. Ces fuites proviennent des courants de diffusion des jonctions source-drain polarisées en inverse, de drain induit par la grille (GIDL ou Gate-Induced-Drain-Leakage), de fuite à travers l'oxyde de grille ou encore d'un courant de canal sous le seuil [10], [11]. La tension de seuil V_{TH} et l'inverse de la pente sous le seuil SS caractérisent le passage entre les états bloqués et passant. La Figure 1.4 illustre ces paramètres fondamentaux et leur impact sur la caractéristique de transfert $I_{DS}-V_{GS}$ d'un transistor N-MOS. Sur cette figure, on montre également l'influence du réglage de la tension de seuil et de la pente sous le seuil sur le ratio I_{ON}/I_{OFF} pour un V_{TH} donnée.

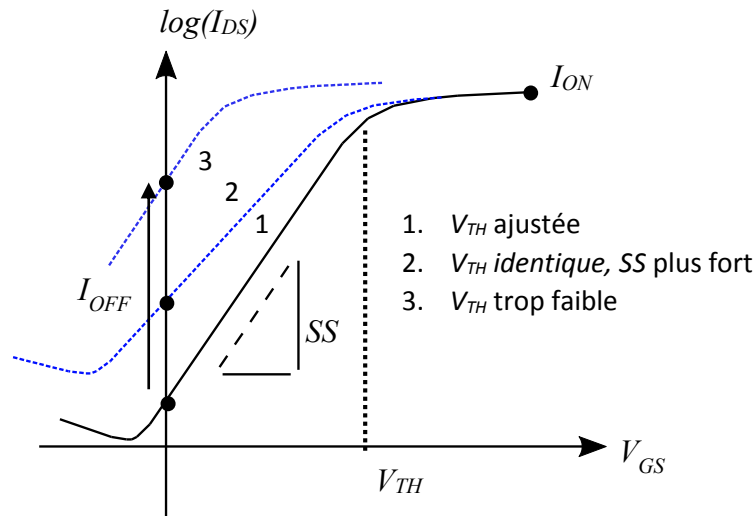


Figure 1.4 : Allure de la caractéristiques $I_{DS}-V_{GS}$ d'un transistor MOS (cas N-MOS) et figure de mérite associée.

Au premier ordre, ces paramètres donnent une image des performances d'une technologie CMOS. Ils déterminent les tensions d'alimentation, les puissances consommées ainsi que la rapidité de commutation du transistor comme nous allons le détailler. D'après [12], on peut définir au premier ordre les performances d'un circuit CMOS par sa fréquence de travail F et ses puissances consommées en régime dynamique et statique, notées respectivement P_{dyn} et P_{stat} .

- $P_{dyn} = n \cdot I_{ON} \cdot V_{DD}$
où n est le nombre de transistors à l'état passant par unité de temps
- $P_{stat} = m \cdot I_{OFF} \cdot V_{DD}$
où m est le nombre de transistors à l'état bloqué par unité de temps
- $F = I_{ON} / (C_{OX} \cdot W \cdot L \cdot V_{DD})$ où $C_{OX} = \epsilon_{OX} / t_{OX}$

Le but de l'industrie étant d'obtenir le meilleur rapport possible entre les performances et la consommation, les expressions ci-dessus laissent apparaître qu'il faut garantir un bon ratio I_{ON}/I_{OFF} tout en réduisant la tension d'alimentation (V_{DD}) et les dimensions (W , L , T_{OX}). En effet si on néglige au premier ordre les phénomènes parasites, la réduction (« scaling ») des dimensions et de la tension d'un facteur $1/K$ conduit à l'augmentation de la vitesse de fonctionnement du circuit du même facteur K et à une réduction de la consommation en $1/K^2$. Les gains apportés par une miniaturisation ont été explicités par [13] puis revus [14] pour considérer le « scaling » électrique par un facteur $1/\lambda$ dans les technologies récentes (avec de faible tension d'alimentation). Ces gains sont résumés dans la Tableau 1.

Tableau 1: Résultats théoriques de la miniaturisation sur la performance d'un circuit CMOS (d'après [13], [14])

Paramètre du transistor ou du circuit	Loi de Dennard [13] ($K=\lambda$)	Cas récent [14]
Dimension L , W , T_{OX}	$1/K$	$1/K$
Tension	$1/K$	$1/\lambda$
Concentration d'impuretés	K	K^2/λ
Champ Electrique	1	λ/K
C_{OX}	$1/K$	$1/K$
Densité de Courant	1	K^2/λ^2
Fréquence	K	K^2/λ
Puissance dissipée par circuit	$1/K^2$	K/λ^3

Cette miniaturisation qui a été pendant plus de quatre décennies le moteur des succès de la microélectronique atteint aujourd'hui ses limites avec des transistors de quelques dizaines de nanomètres et explique en partie le ralentissement de la loi de Moore observé ces dernières années [14]–[16]. La réduction des dimensions aux échelles nanométriques implique des effets parasites de plus en plus importants. Ces effets viennent limiter les gains de performances apportés à chaque nouvelle génération. La réalisation d'un transistor MOS se complexifie et nécessite l'introduction d'un nombre croissant d'innovations technologiques et d'étapes de fabrication [17]. Toutes ces étapes et complications augmentent donc le coût et la durée de mise au point des nouvelles générations de technologie CMOS et limitent leurs performances. Ainsi dans la réalisation des microprocesseurs, on atteint plus de 60 masques en 2014 contre seulement 35 en 2005 [17]. Nous détaillons dans le paragraphe qui suit les principaux ajouts et modifications introduits dans la fabrication du MOS sur substrat massif (Figure 1.5).

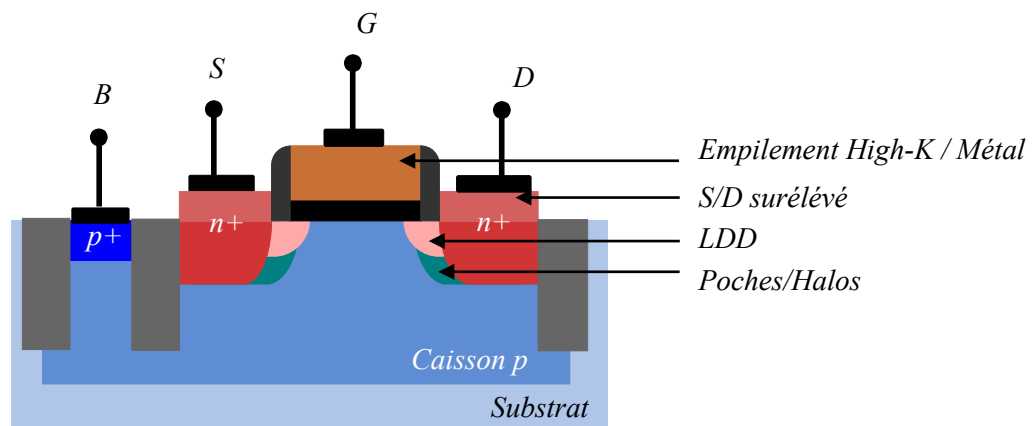


Figure 1.5 : Vue en coupe schématique d'un transistor MOS en technologie 28nm montrant certaines nouvelles étapes technologiques introduites pour les architectures avancées de MOS sur substrat massif. Cas d'un n-MOS.

En premier lieu, des implants ont été ajoutés au niveau des jonctions source-canal et drain-canal (que l'on abrègera par jonctions S/D). Les implants *LDD* sont faiblement dopés (Lightly Doped Drain en anglais) et du même type que les zones de source et de drain [18], [19]. Ils permettent de lisser les forts gradients de dopage avec le canal et réduisent ainsi le champ électrique et les effets de porteurs chauds associés, d'avalanche ou encore de canaux courts (nous reviendront sur ces notions). Les implants *poches* et/ou *halos*, du même type que le caisson, sont réalisés au niveau des jonction S/D avec le canal en surface (poches) ou avec le caisson plus en

profondeur (halo) [20]–[22]. Ils sont rajoutés respectivement afin de contrôler les effets de canaux courts et de limiter le perçage volumique sous le canal responsable d'un fort courant de fuite. Du côté de l'isolant de grille, des matériaux à forte permittivité ou « high-K » ($\epsilon_{High-K} > 20$) sont introduits en remplacement du SiO_2 . Cela permet de conserver des épaisseurs physiques de matériau isolant suffisantes pour empêcher les courants de fuite tout en augmentant la capacité de l'isolant [23], [24]. On parle alors de CET (« Capacitive Equivalent Thickness ») pour désigner l'épaisseur électrique de l'oxyde de grille en considérant la permittivité relative du SiO_2 ($\epsilon_{\text{SiO}_2}=3.9$) pour référence. Dans le cas d'un matériau high-K, on peut écrire :

$$CET = \frac{\epsilon_{\text{SiO}_2}}{\epsilon_{High-K}} \times t_{High-K}$$

De manière complémentaire, le polysilicium (ou silicium polycristallin), qui sert à réaliser l'électrode de grille, est remplacé par une électrode métallique [24]. Ceci pour éviter la déplétion du polysilicium qui venait limiter la diminution du CET dans les derniers nœuds technologiques [25]. En plus des innovations apportées pour améliorer les courants de fuite et le contrôle électrostatique, des étapes supplémentaires ont été introduites pour augmenter le courant à l'état passant I_{ON} . Les sources et drains sont surélevés grâce à des épitaxies pour diminuer les résistances d'accès [26]. Des effets adaptés de contraintes mécaniques sur le réseau cristallin peuvent également être utilisés pour « booster » la mobilité des porteurs et ainsi augmenter I_{ON} [27]. Ces contraintes peuvent apparaître fortuitement lors du procédé de fabrication comme lors de la réalisation des STI [28] ou volontairement grâce à des solutions dédiées comme l'utilisation de CESL [29] (couche de nitrure servant à l'arrêt de la gravure des contacts) ou de matériaux alternatifs pour les sources/drains (SiC pour les N-MOS et SiGe pour les P-MOS) [30], [31].

Malgré les défis relevés pour conserver un bon ratio I_{ON}/I_{OFF} , la réduction des dimensions entraîne des phénomènes de variabilité (rugosité des interfaces, définition des motifs, épaisseur des couches) qu'il devient difficile à contrôler [32], [33]. C'est notamment le cas de la répartition aléatoire des dopants dans le canal nommé *RDF* (de l'anglais « Random Doping Fluctuation »). Comme le volume de silicium se réduit drastiquement, il devient difficile de contrôler le nombre et la position des atomes dopants dans le canal pour de fortes concentrations (quelques dizaines d'atomes pour des $L < 100\text{nm}$). Aujourd'hui ce phénomène devient l'une des principales causes de variabilité de la tension de seuil (σV_{TH}). Pour tenir compte de cette variabilité, les concepteurs

sont obligés de prendre des marges importantes lors de la conception des circuits sensibles au σV_{TH} comme par exemple les points mémoires SRAM. Ces marges limitent la baisse de la tension d'alimentation et deviennent bloquantes pour la diminution de la consommation des circuits. On remarquera ici que l'utilisation d'une grille métallique a par ailleurs permis de réduire la variabilité associée à la répartition des joints de grain dans le silicium polycristallin [34].

1.1.3. La technologie UTBB FDSOI

Les évolutions apportées aux transistors MOS ont permis de poursuivre la loi de Moore sur substrat massif jusqu'au nœud 28nm voire 20nm [35], [36] (on parle de « More Moore » [37]). Cependant arrivés à ces dimensions et en dessous, les développements peinent à offrir des performances et coûts de fabrication acceptables. Ainsi de nouvelles architectures, longtemps expérimentales, sont introduites et utilisées par l'industrie microélectronique depuis quelques années.

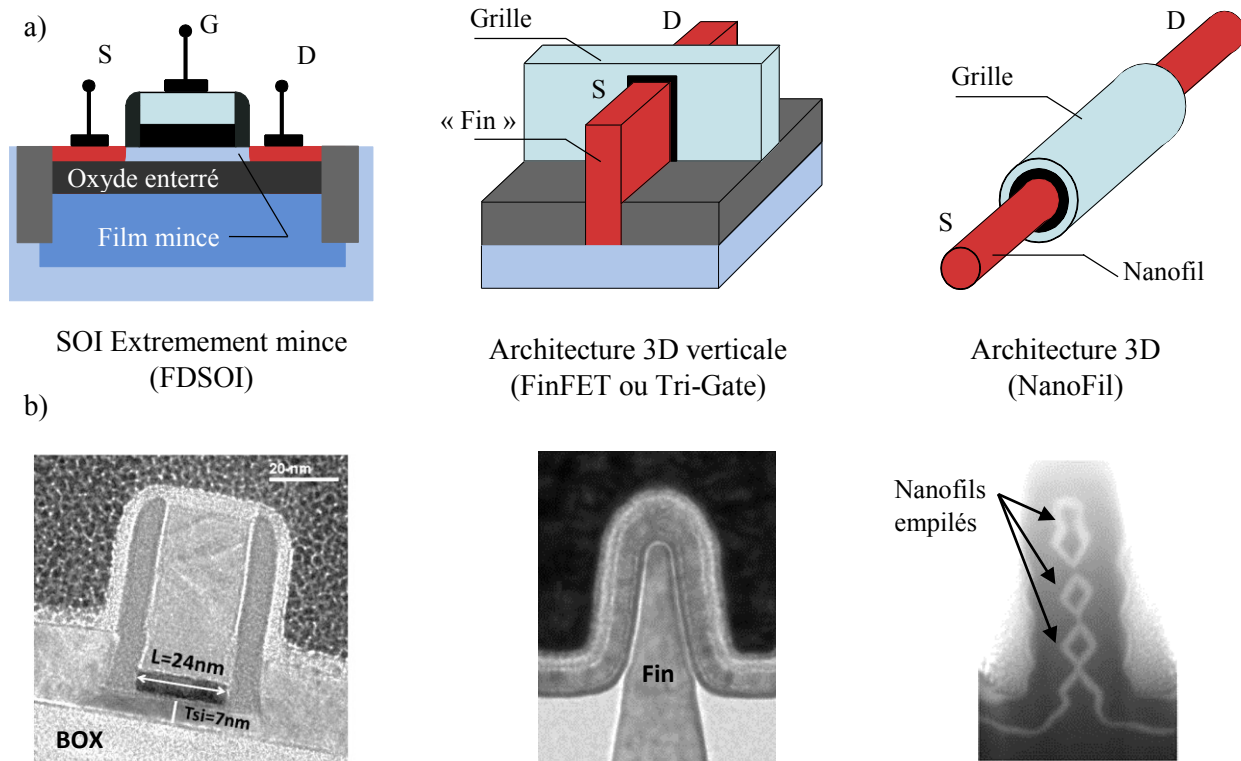


Figure 1.6 : (a) Illustrations schématisques de différentes architectures de transistor MOS basées sur l'utilisation de film de silicium ultramince: ETSOI (gauche), Tri-Gate (centre) et Nanofils (droite). (b) Coupes au microscope électronique à transmission (TEM) issues la littérature [38]–[40].

Ces transistors basés sur l'utilisation d'un film mince [41], [42] (principalement pour améliorer le contrôle électrostatique) peuvent être :

- planaire comme les MOS sur Silicium-sur-Isolant Extra-mince (*ETSOI*) [38], [43]
- verticaux à la façon des transistors de types FinFet ou Tri-Gate [44].
- des architectures à grille enrobante à base de nanofils (« Gate-All-Around nanowires ») qui sont par ailleurs à l'étude pour les générations à venir [40], [45].

Dans la section qui suit, nous décrivons la technologie CMOS totalement désertée sur SOI ou FDSOI (de l'anglais « Fully-Depleted Silicon-On-insulator ») au cœur de ces travaux de recherche. Nous précisons les avantages apportés par l'utilisation d'un substrat SOI ultramince.

1.1.3.1. Le transistor MOS en technologie UTBB FDSOI

Introduite industriellement par la société STMicroelectronics en 2012 [38], la technologie FDSOI utilise un substrat SOI ultramince et une architecture nommée UTBB (« Ultra-Thin Body and Buried oxide »). Le canal du transistor MOS est réalisé dans un film non dopé de silicium reposant sur un oxyde enterré d'épaisseurs respectives $t_{Si} < 10$ nm et $t_{BOX} < 25$ nm comme le montre la Figure 1.7.

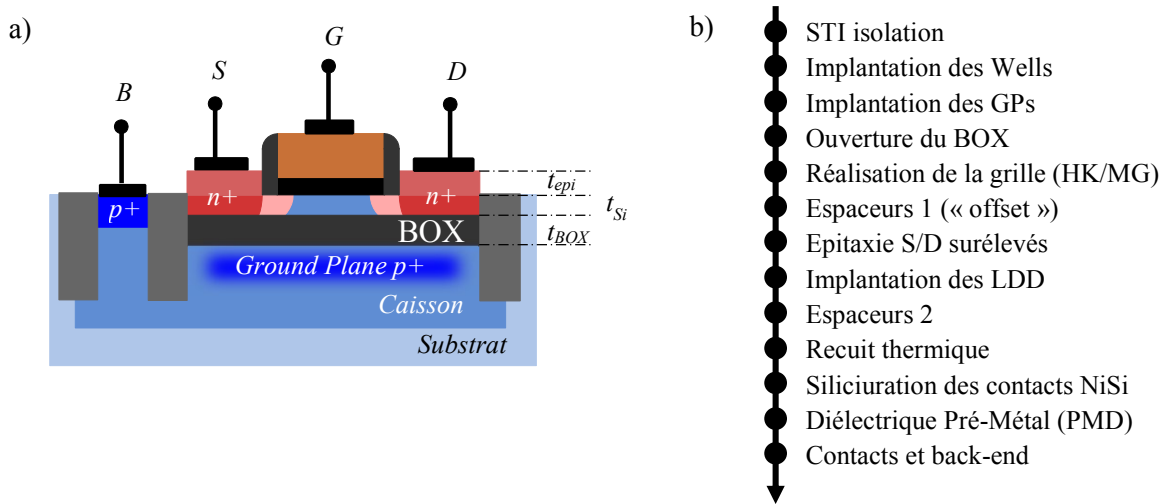


Figure 1.7 : (a) Vue en coupe schématique d'un transistor MOS en technologie UTBB FDSOI. (b) Flot simplifié du procédé de fabrication front-end dans le nœud 28nm (d'après [38]).

Sous l'oxyde enterré ou BOX (abréviation de l'anglais « Buried Oxide »), le substrat est dopé en profondeur pour réaliser les caissons. Il est ensuite implanté plus fortement en surface ($N_{GP} \approx 10^{18} \text{ cm}^{-3}$) pour constituer des grilles « arrière ». On parle de plans de masse ou de « Ground Planes » (GPs). De son côté la grille « avant » est réalisée par un empilement de matériaux à haute permittivité et métalliques (on parle de « high-K metal gate »). Un oxyde d'interface (SiO_2) déposé pour garantir une interface Si-SiO_2 de bonne qualité est recouvert d'un matériau high-K (HfO_2) puis connecté à l'aide d'une couche métallique d'environ 10nm réalisée typiquement en nitrure de titane (TiN). Le travail de sortie de cette dernière couche ($\phi_{\text{TiN}} = 4.5 \text{ eV}$) se situe proche du milieu de la bande interdite du silicium ($\phi_{\text{Si}} = 4.65 \text{ eV}$) : on parle de matériau « mid-gap ». Ce matériau mid-gap permet d'obtenir des V_{TH} ajustés et quasi-symétriques pour les P-MOS et N-MOS. En effet avec un film de silicium non dopé, il n'est plus nécessaire de compenser les décalages de niveau de Fermi (induit par le fort dopage du canal) à l'aide de matériaux avec des travaux de sorties dédiés [46]. Enfin les sources/drains sont surélevés pour diminuer les résistances d'accès.

Dans le nœud 28nm, les sources/drains sont implantés sélectivement pour les PMOS et les NMOS après l'étape d'épitaxie pleine plaque sur toutes les zones non protégées par une grille. Cet implant est remplacé dans le nœud 14nm par l'introduction d'épitaxies dopée in-situ SiC pour les N-MOS et SiGe pour les P-MOS [47].

Ainsi par rapport aux transistors CMOS avancés sur substrat massif, plusieurs étapes technologiques, comme les lithographies et les implants du canal ou des halos, sont retirées du procédé de fabrication. D'une manière générale en 28nm, l'utilisation du FDSOI permet l'économie d'environ 10% des étapes technologiques et de 7 masques comparé à une technologie sur substrat massif [48]. C'est l'un des avantages de cette technologie : réduire les coûts de fabrication tout en offrant des performances supérieures comme nous allons le détailler.

1.1.3.2. Avantages apportés par l'architecture UTBB-FDSOI

Le premier avantage de la technologie UTBB-FDSOI est apporté par l'utilisation d'un film de silicium ultramince. Il permet de diminuer l'impact des effets de canaux courts, notés SCE (de l'anglais « short channel effect »), qui apparaissent lorsque la longueur de grille diminue.

En effet avec un L réduit, l'extension des zones de charge d'espace (ZCE) des jonctions S/D devient non négligeable. Ces zones de déplétion de quelques nanomètres de large peuvent alors se recouvrir en partie et venir diminuer la part de la charge de déplétion contrôlée par la grille. La grille perd le contrôle. L'inversion est comme assistée par les jonctions et sera atteinte pour une polarisation de grille plus faible. La tension de seuil est diminuée et le courant de fuite augmente (Figure 1.8). On parle de partage de charge entre la grille et les jonctions. Ensuite lorsque la polarisation de drain V_D augmente, la ZCE côté drain s'étend dans le canal et vient abaisser la barrière de potentiel du côté de la source. Il s'ensuit alors de la même façon une diminution de V_{TH} et d'une augmentation de I_{OFF} supplémentaires. On parle de DIBL (« Drain Induced Barrier Lowering »). Ainsi par rapport au cas idéal du transistor long, l'expression ci-dessous illustre la réduction de la tension de seuil associée aux SCE et $DIBL$ pour un transistor de longueur L réduite:

$$V_{TH}(L) = V_{TH_LONG} - SCE(L) - DIBL(L)$$

où $V_{TH_LONG} = V_{FB} + \frac{Q_{Dep}}{C_{ox}} + 2\phi_F = V_{FB} + \frac{\sqrt{4 \cdot N_A \cdot \epsilon_{Si} \cdot \phi_F}}{\epsilon_{OX}/t_{OX}} + 2\phi_F$ est la tension de seuil du transistor long (en négligeant les états d'interface).

avec $\phi_F = \frac{kT}{q} \times \ln\left(\frac{N_A}{n_i}\right)$ l'écart de niveau de Fermi entre le canal et le silicium intrinsèque.

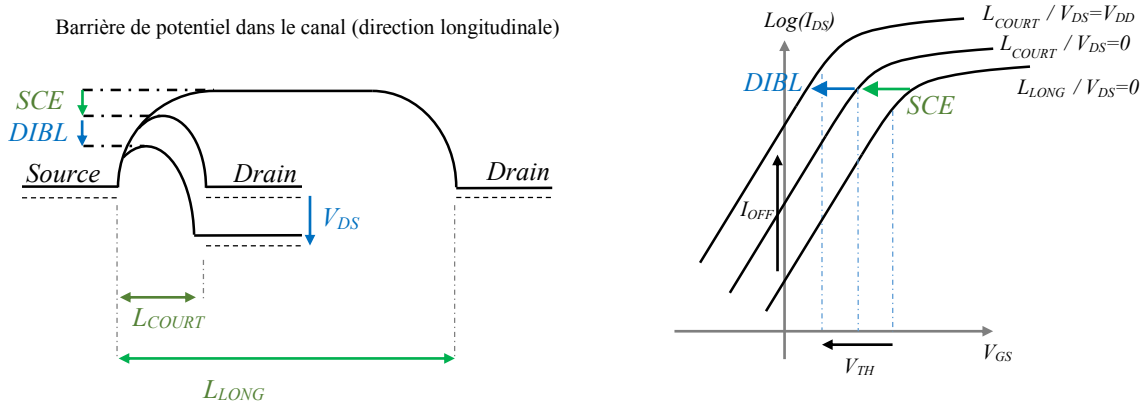


Figure 1.8 : (a) Illustration de l'abaissement de la barrière de potentiel dans le canal lié aux effets de canaux courts (SCE) et de Drain-Induced Barrier Lowering (DIBL). (b) Impact sur l'allure de la caractéristique I_{DS} - V_{GS} , sur la tension de seuil V_{TH} et le courant de fuite I_{OFF} .

Ces effets canaux courts, illustrés par la Figure 1.8, se résument donc par une perte de contrôle électrostatique de la grille sur le canal, exprimée à l'aide de l'intégrité électrostatique (EI) [27] par :

$$DIBL = 0.80 \times \frac{\epsilon_{Si}}{\epsilon_{OX}} \times EI \times V_{DS} \quad SCE = 0.64 \times \frac{\epsilon_{Si}}{\epsilon_{OX}} \times EI \times V_{Bi}$$

Basée sur des modèles de Voltage-Doping Transformation [49], [12], l' EI peut s'exprimer en fonction de la géométrie et de l'architecture et permet ainsi de comparer les technologies entre elle d'un point de vue électrostatique. Les expressions de l' EI sont données ci-dessous dans les cas du transistor MOS en technologie massive et FDSOI:

$$EI_{Massif} = \left(1 + \frac{Xj^2}{L_{el}^2}\right) * \frac{t_{OX_{el}} T_{dep}}{L_{el}} \quad EI_{FDSOI} = \left(1 + \frac{t_{si}^2}{L_{el}^2}\right) * \frac{t_{OX_{el}} t_{Si} + \lambda \cdot t_{BOX}}{L_{el}}$$

où λ est un paramètre traduisant le couplage du champ dans l'oxyde enterré.

De par son architecture, les profondeurs de jonction (X_j) et la profondeur de déplétion du transistor MOS FDSOI sont limitées par l'épaisseur extrêmement fine du film de silicium $t_{Si} < 10\text{nm}$. Ceci entraîne une diminution de l'EI et donc des effets de canaux courts par rapport au silicium massif où il est difficile d'obtenir des profondeurs de jonction et de zone de déplétion aussi faibles.

Cet intérêt de la technologie FDSOI est renforcé par l'utilisation d'un oxyde enterré ultramince. Cela entraîne la réduction du couplage lié à la de propagation des lignes de champ du drain jusqu'au canal à travers le BOX. Ce «fringing field» [50] responsable d'un effet canal court supplémentaire est d'autant plus réduit que le Ground Plane vient empêcher la déplétion du substrat [51], [52].

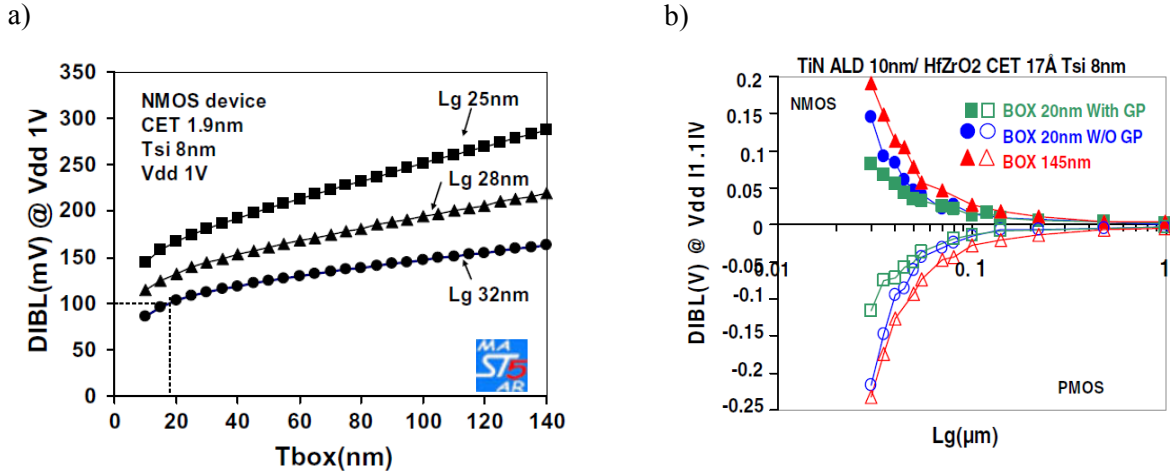


Figure 1.9 : (a) Prédiction de l'impact de l'épaisseur de l'oxyde enterré sur le DIBL pour un transistor FDSOI. (b) Résultats expérimentaux montrant également l'impact de la présence du GP en fonction de la longueur de grille [51].

L'amélioration de l'intégrité électrostatique permet également de réduire la pente sous le seuil des transistors FDSOI ce qui rend possible un meilleur ratio I_{ON}/I_{OFF} pour une tension de seuil V_{TH} donnée ou réciproquement une tension de seuil plus faible pour un même ratio. L'expression de l'inverse de la pente sous le seuil est donnée par [41] :

$$SS_{Massif} = \frac{kT}{q} \cdot \ln(10) \left(1 + \frac{C_{Dep}}{C_{OX}} \right) \quad SS_{FDSOI} = \frac{kT}{q} \cdot \ln(10) \left(1 + \frac{1}{C_{OX}} * \left(\frac{C_{Si} C_{BOX}}{C_{Si} + C_{BOX}} \right) \right)$$

Avec les épaisseurs de l'architecture UTBB-FDSOI, cette pente se rapproche du cas idéal des 60mV/dec avec des valeurs rapportées de l'ordre de 60-80mV/dec contrairement au transistor MOS sur substrat massif qui peine à descendre sous les 85mV/dec [53].

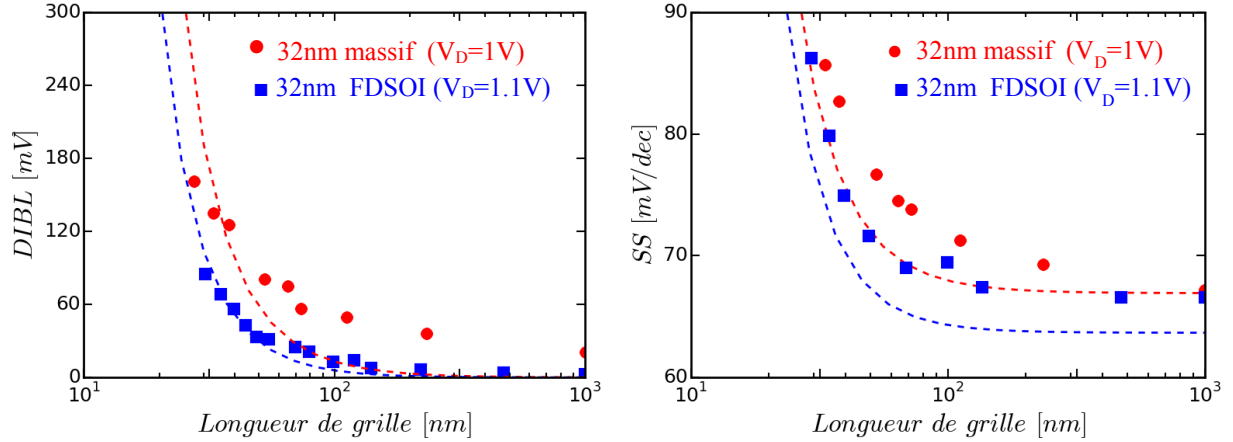


Figure 1.10: Comparaison des effets de canaux courts (DIBL) et de pente sous le seuil (SS) entre les technologies sur substrat massif et FDSOI dans le nœud 32nm. Les symboles représentent les données expérimentales (d'après [54], [55]), les lignes pointillées le model issue de la VDT décrit plus haut (avec les hypothèses technologiques associées).

Autre avantage, les courants de fuite sont réduits en FDSOI. La présence de l'oxyde enterré isole le caisson des zones de source et de drain et le film fin de silicium limite le courant de fuite proportionnel à la surface de jonction S/D. De plus, comme nous l'avons vu précédemment, les technologies sur substrat massif utilisent des dopages de canal de plus en plus forts. Ceci a pour conséquence d'augmenter les capacités de jonctions S/D. La présence de l'oxyde enterré, qui possède une constante diélectrique plus faible que le silicium, offre une diminution de ces capacités. Ceci participe à l'amélioration de la vitesse de commutation obtenue avec des transistors CMOS sur SOI [41].

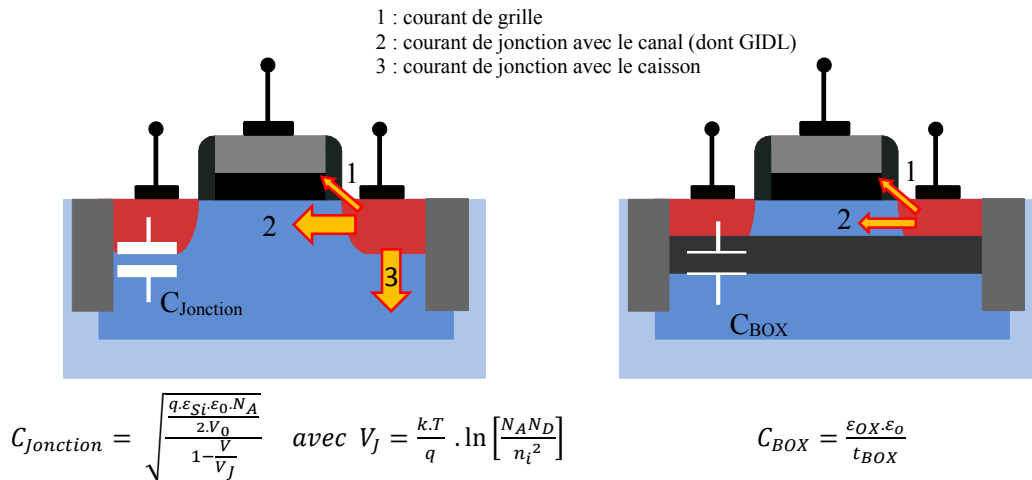


Figure 1.11: Illustration de la réduction des capacités et des courants de fuite liée à l'utilisation d'un oxyde enterré. Comparaison entre les transistors MOS sur substrat massif (gauche) et FDSOI (droite).

Par ailleurs, les GPs en plus d'améliorer l'efficacité électrostatique offre une grille arrière qui peut être utilisée pour la modulation de la tension de seuil des transistors FDSOI [54], [56]. Si sur substrat massif la polarisation du caisson permet de moduler la tension de seuil, il faut néanmoins s'assurer que les jonctions S/D restent polarisées en inverse ou bloquées pour ne pas voir apparaître des courants de fuite trop importants. Ceci limite l'utilisation de l'effet de substrat à des tensions de caisson négatives ou faiblement positives (cas du N-MOS). A l'inverse en technologie FDSOI, grâce à l'oxyde enterré, il est possible de polariser sur un large intervalle positif ou négatif le GP et ainsi moduler la tension de seuil des transistors sans craindre de débloquent les jonctions S/D.

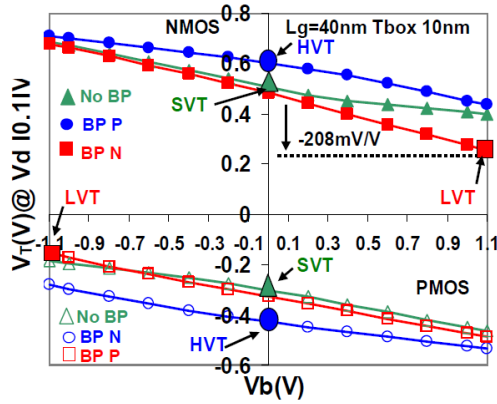


Figure 1.12: Variation de la tension de seuil en fonction de la polarisation de la grille arrière (V_b) dans le cas de transistors N-MOS et P-MOS FDSOI sur un BOX ultramince ($t_{BOX}=10nm$) pour différent types de GPs (d'après [54])

Dans le cas d'un transistor FDSOI, on peut alors montrer que la tension de seuil suit une variation linéaire avec la tension appliquée [57], [58]:

$$\frac{dV_{TH}}{dV_{GP}} = \alpha = \frac{C_{SI}C_{BOX}}{C_{OX}(C_{SI} + C_{BOX})}$$

On peut ainsi « accélérer » ou « ralentir » les transistors, en réduisant ou augmentant V_{TH} (ce qui se traduit par respectivement une augmentation ou une réduction des courants I_{ON} et I_{OFF}).

Enfin on peut également considérer, comme le suggèrent des études récentes, que la variabilité du FDSOI est réduite notamment grâce à un canal non dopé qui permet d'effacer le phénomène de RDF mentionné plus haut [59].

Nous avons vu dans cette première partie comment et quels avantages offre le transistor MOS FDSOI pour continuer la loi de Moore :

- Réduction du SCE et DIBL, amélioration de la pente sous le seuil
- Modulation de la tension de seuil
- Diminution des courants de fuite et de certaines capacités parasites
- Meilleure immunité à la variabilité
- Nombre d'étapes de fabrication réduit.

Aujourd'hui, cette technologie très prometteuse est en train d'être adoptée par l'industrie notamment pour les circuits CMOS performants à basse consommation requis pour les dispositifs portables et autonomes. Ainsi le nœud 28nm [38] est en production, tandis que le nœud 14nm [60] est en développement et le nœud 10nm [61] envisagé. L'introduction de fonctionnalités dites de puissance ou « smart-power », directement intégrées sur le substrat du circuit numérique, est alors un enjeu pour accroître le domaine d'application du FDSOI. C'est dans cette perspective que s'inscrivent ces travaux de recherches.

1.2. Les applications haute tension en CMOS et les MOS haute tension

1.2.1. Applications haute tension

La technologie FDSOI est une technologie CMOS qui offre la possibilité de réduire les tensions d'alimentation en dessous du Volt tout en offrant des performances importantes pour les processeurs digitaux [48]. Elle permet de répondre aux besoins des applications portables et autonomes nécessitant à la fois des capacités de traitement importantes et une consommation réduite. Nous pouvons penser bien évidemment ici aux téléphones portables (« smartphones »), tablettes numériques mais également aux systèmes autonomes comme les réseaux de capteurs ou les applications biomédicales. Ces applications reposent sur l'utilisation de plusieurs fonctionnalités de plus en plus intégrées :

- Processeurs pour le calcul (CPU, GPU...)
- Réception/Transmission de signaux radiofréquence (RF) pour les applications de communications (GSM, GPS, WiFi, Bluetooth...)
- Mémoires
- Interfaces (audio, vidéo, USB...)
- Capteurs (accéléromètre, gyroscope...)

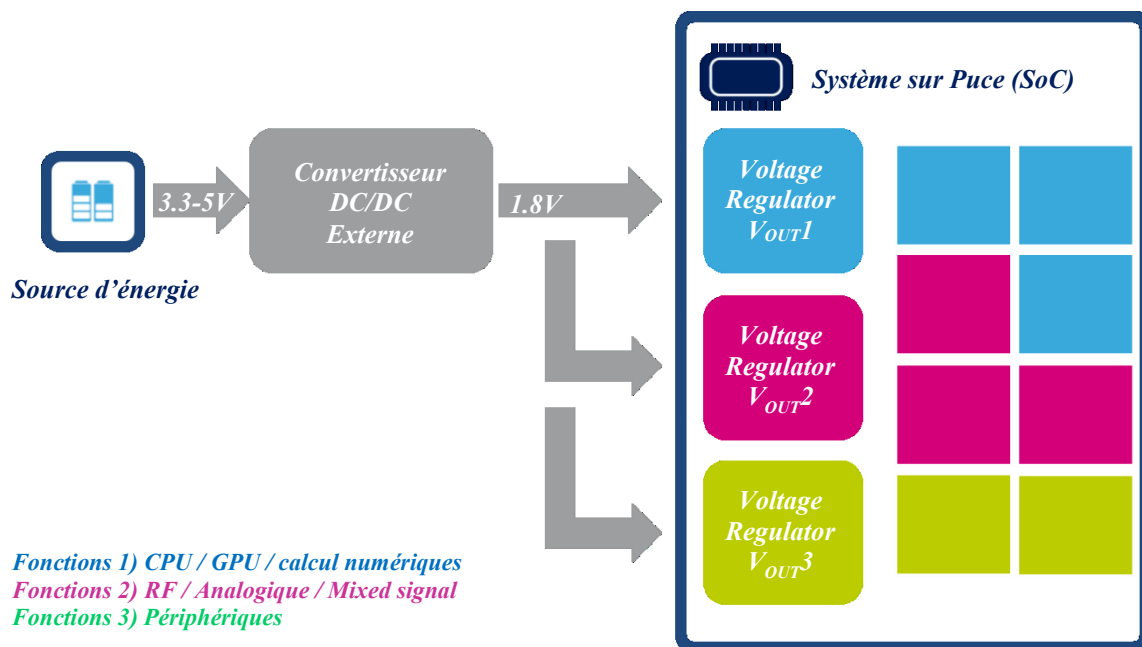


Figure 1.13 : Illustration d'un SoC et de son schéma de gestion de l'alimentation.

L'intégration de plusieurs fonctions au sein d'un même boîtier (« System-In-Package » [62], [63] ou d'une même puce (« System-On-Chip ») [64], [65] permet d'augmenter le nombre de fonctionnalités et de gagner en densité d'intégration par rapport à un circuit imprimé (ou « PCB » en anglais). La première stratégie (SiP) permet d'assembler ensemble plusieurs puces fabriquées avec des technologies différentes pour gagner en termes de temps et d'efforts de conception. On peut par exemple utiliser des nœuds CMOS avancés pour obtenir de hautes performances pour les processeurs numériques et les mémoires, tandis que les fonctions périphériques peuvent être conçues sur des technologies moins avancées et moins coûteuses ou dédiées aux applications radiofréquences. Par opposition, les SoCs permettent théoriquement de réduire au maximum la

consommation globale du circuit (comme celle liée aux interfaces entre les différents blocs fonctionnels), d'augmenter la densité d'intégration, de réduire le coût d'assemblage global [66], [67]. Un des défis des SoCs est alors de réussir à intégrer avec un surcoût limité les applications de gestion de l'énergie et RF monolithiquement dans le nœud CMOS numérique avancé. La Figure 1.13 illustre les différentes fonctions à intégrer au sein d'un SoC. Nous montrons un schéma possible d'alimentation du SoC pour introduire les notions de conversion d'énergie et de régulation de tension au sein de la puce.

Si certains auteurs parlent de « smart-power » [68], [69] pour désigner des technologies qui intègrent simultanément les fonctions de calcul et de puissance, nous utiliserons ce terme avec parcimonie car il désigne généralement des domaines d'application de plus forte puissance/tension (typiquement supérieures à 15-20V) que la gamme visée dans nos travaux (typiquement 3-5V).

Nous venons de voir que l'intégration des fonctions de puissance et radiofréquence reste un enjeu majeur pour la mise au point de SoC complet en technologie CMOS. Ces fonctions dites de « puissance » ou « haute tension » sont principalement implémentées pour l'amplification de signal, la régulation ou la conversion d'énergie électrique et pour certaines mémoires non-volatiles. Les niveaux de courants et de tensions utilisés y sont plus forts que les tensions nominales de la technologie FDSOI:

- $V_{\text{NOM}} = 0.8\text{-}1\text{V}$ pour les MOS FDSOI digitaux (oxyde de grille fin).
- $V_{\text{NOM2}} = 1.8\text{V}$ pour les MOS FDSOI à oxyde épais servant aux interfaces (dits I/O).
- $V_{\text{POW}} = 3.6\text{V}$ pour les batteries au lithium [70], [71] / 5V pour les connexions USB [72].

Il y a ainsi au moins un rapport 2 entre les tensions nominales de la technologie CMOS FDSOI et les tensions mises en jeux dans les applications haute tension en CMOS. Or comme nous allons le détailler, les transistors MOS digitaux optimisés pour fonctionner sous des très faibles tensions ne sont pas capables de supporter de telles tensions. Il faut co-intégrer des nouveaux composants capables de fonctionner avec ces fortes tensions dans la technologie CMOS: les transistors MOS haute tension [73].

Dans cette perspective, nous décrivons les principes et les enjeux de quelques applications de puissance intégrables en technologie CMOS avancées.

▪ Amplificateurs de puissance (PA) intégrés en technologie CMOS

L'intégration de cette brique technologique est un enjeu clef vers l'intégration complète des fonctions de réception/transmission de signaux radiofréquence en technologie CMOS au sein d'un system-on-chip [74]. Un tel montage sert à amplifier un signal RF de faible puissance jusqu'à une puissance suffisante pour être émis par l'antenne. Il doit fournir une puissance de sortie maximum tout en garantissant une grande linéarité sur une large gamme de fréquence. C'est-à-dire sans distordre le signal en rajoutant des fréquences perturbatrices dans le spectre (cf. Figure 1.14b). Cette puissance est typiquement dans la gamme de 50mW (Wifi) à 2W (GSM) pour les télécommunications mobiles [75]. Ceci correspond à une gamme de 10dBm à 33dBm dans l'unité généralement rencontré dans la littérature : le décibel rapporté à 1mW. La figure 1.14a illustre un montage amplificateur de puissance. La haute tension est sur le drain du transistor.

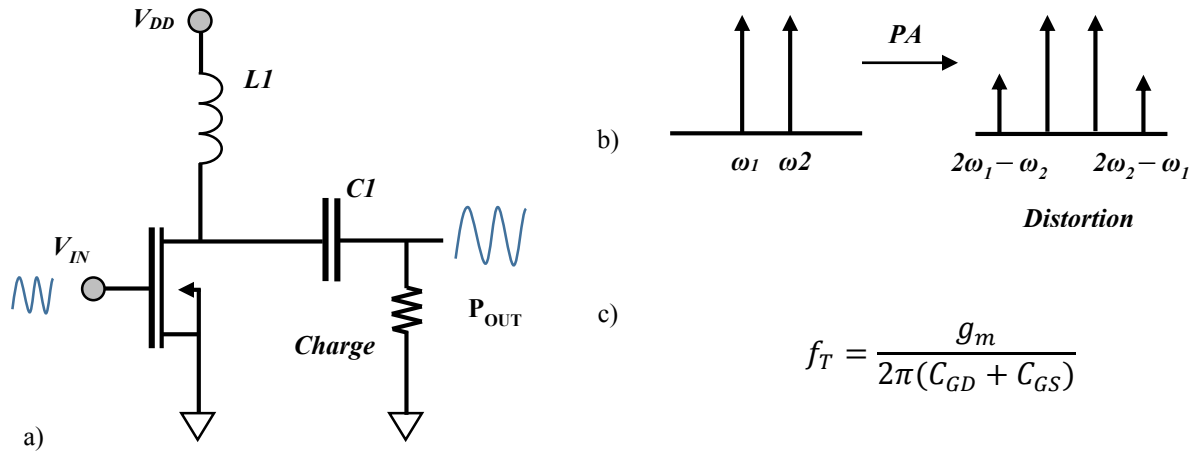


Figure 1.14 : (a) Montage amplificateur source commune en classe sinusoïdale, (b) Illustration d'un test de distorsion du signal au sein d'un PA et (c) expression de la fréquence de transition d'un transistor MOS.

Depuis une dizaine d'années, la question de l'intégration d'amplificateur de puissance directement en CMOS au sein du SoC se pose par rapport aux solutions externes dotées de très bonnes performances avec des technologies dédiées comme l'AsGa (Arséniure de Gallium), SiGe HBT ou les technologies BiCMOS. Ainsi des recherches ont eu lieu pour intégrer les transistors de puissance (y compris sur SOI) [76]–[78] ou à l'inverse pour utiliser des designs basés directement sur des MOS digitaux (solution bas coût) [74], [79], [80]. Si des amplificateurs de

puissance intégrés au CMOS pur semblent aujourd'hui possible, des études [74] montrent que leur adoption large par l'industrie n'est pas encore acquise en raison des problématiques d'intégration, de fiabilité et de performances de ces PAs face à la maturité de leur concurrents sur AsGa.

Par ailleurs, le fait d'utiliser des transistors de puissance intégrés permet de s'affranchir de certains aspects de fiabilité (qui limite le rendement), de conception (architecture utilisant des MOS cascodés) ou de limitation en puissance en autorisant d'augmenter la gamme de tensions de drain utilisées et donc la puissance de sortie [74], [79], [80]. En effet, les PAs utilisés en classe A (en raison de la forte linéarité du régime sinusoïdal) sont réputés pour soumettre les transistors à un fort stress porteurs chauds en raison de la présence simultanée de fort courants et tensions et peuvent stresser les transistors jusqu'à 2 fois la tension d'utilisation nominale. Les classes non-linéaire commutée comme la classe E (utilisée en raison de leur fort rendement mais au détriment de la linéarité), évite de soumettre le composant à une forte puissance mais impose au composant de devoir supporter une forte tension (sur le drain) typiquement de l'ordre de 3 fois la tension nominale.

Le développement de composants de puissance intégrés reste donc encore aujourd'hui un choix privilégié pour aller vers l'intégration de toute la chaîne RF au sein d'un SoC [74], [81].

- Régulateurs de tension de type LDO

Après les fonctions d'amplification, viennent les fonctions de régulation et de conversion de l'énergie. La première fonction ci-dessus peut être réalisée à l'aide de régulateur « Low Dropout » (LDO) qui est un moyen simple, peu gourmand en surface et bas coût pour réguler une tension à partir d'une tension plus forte [82]. Il existe d'autre architecture de régulateur de tension notamment pour les alimentations basses tensions des SoCs comme les SCVR (« switched capacitor voltage regulator ») [83] ou encore des alimentations à découpage sur charge inductive intégrée [84].

Les LDOs permettent de découpler les blocs fonctionnels de l'alimentation commune et de fournir différentes tensions d'alimentation régulées, c'est-à-dire stables dans le temps quel que soit le courant de sortie. L'utilisation d'un composant actif asservi (dit « pass element ») permet en

régulant la chute de tension à ses bornes de garantir un minimum de bruit sur la tension de sortie V_{OUT} en lissant les pics ou chutes de tension/courant de la tension d'entrée V_{IN} . Dans un contexte où l'autonomie des appareils sans fil devient un critère de sélection important, le LDO doit également garantir une chute de tension minimale pour limiter sa consommation propre. La Figure 1.16 illustre un montage LDO avec sa boucle de rétroaction basée sur une comparaison avec une tension de référence.

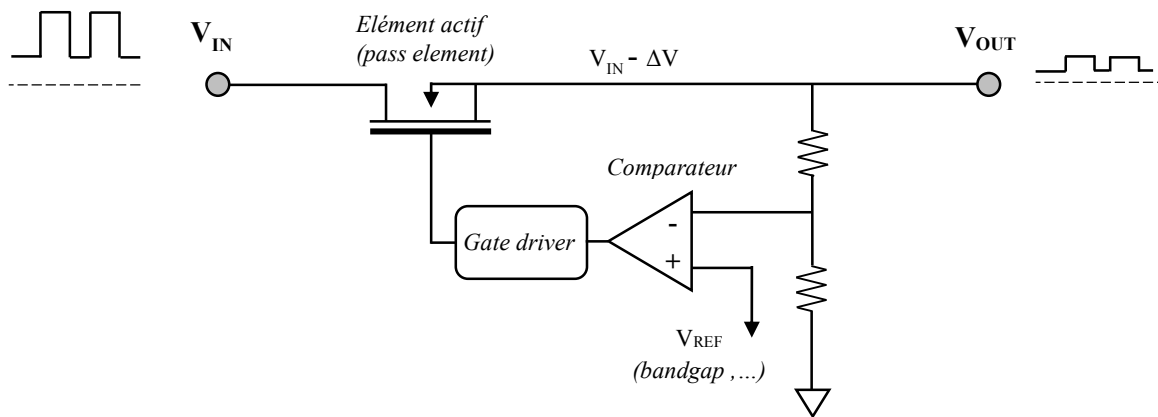


Figure 1.15 : Schéma électrique d'un Low-Dropout Regulator pour la régulation de tension.

Pour réguler de forte tension d'entrée (comme lors d'une connexion directe à la batterie), l'emploi d'un composant capable d'encaisser de fortes différences de tension à ses bornes sera alors nécessaire [67], [73].

Les LDOs peuvent également être utilisés pour des montages abaisseurs de tension ($V_{OUT}=V_{IN}-\Delta V$). Ils deviennent néanmoins inefficaces en termes de rendement pour de forts rapport de conversion à cause de leur comportement résistifs [85]. On préférera dans un tel cas leur adjoindre en amont des alimentations à découpage, les limitant au rôle de régulateur.

▪ Alimentation à découpage pour la conversion d'énergie

Pour des applications avec des rapports de conversion plus importants, comme par exemple pour passer de la tension d'alimentation externe (3.6V-5V) à la tension nominale du SoC (1.8V), des convertisseurs DC/DC à découpage sont généralement préférés. Regroupés sous le terme de SMPS pour « Switched Mode Power Supplies », ces convertisseurs ont la particularité d'utiliser

les composants actifs dans un mode commuté. Placé dans un régime de fonctionnement proche d'un interrupteur idéal, les produits courant-tension sont faibles et les temps de commutation rapides. De telles alimentations permettent alors d'obtenir de fort rendement pour la conversion d'énergie ce qui limite les pertes entre l'alimentation et l'utilisation finale. La Figure 1.16 illustre un convertisseur buck (abaisseur de tension) [86], [87] et l'évolution de la tension du point milieu lors d'un cycle de commutation.

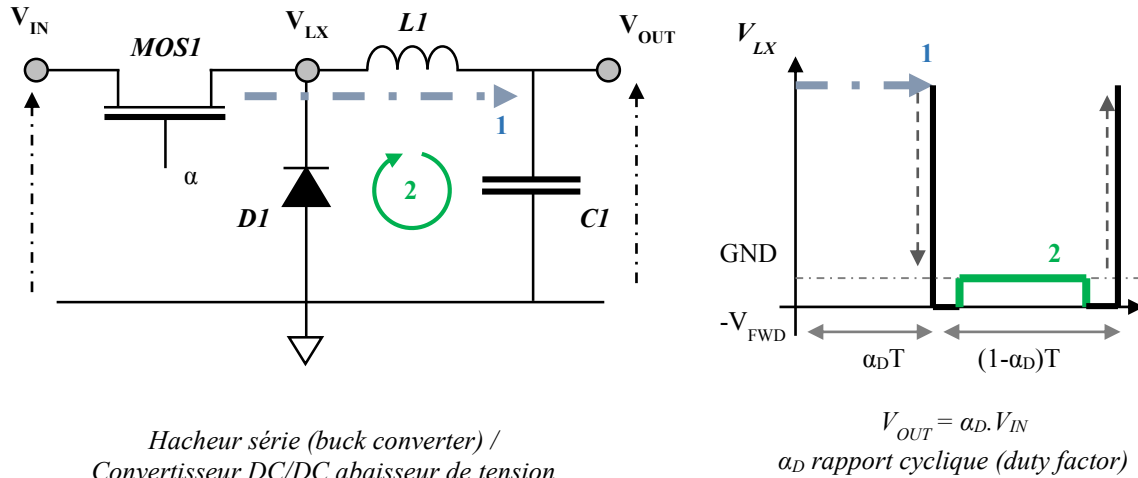


Figure 1.16 : (a) Illustration d'une alimentation à découpage: le convertisseur buck [86] et (b) de l'évolution de la tension V_{LX} lors d'un cycle de commutation.

Dans un tel montage le composant se retrouve à l'état passant (fermé) pendant une fraction de la période T de commutation que l'on appelle rapport cyclique noté α_D . Il se retrouve donc à l'état bloqué (ouvert) pendant un temps $(1-\alpha_D).T$. Pour un tel convertisseur, la tension moyenne de sortie vaut alors $V_{OUT} = \alpha_D.V_{IN}$ (avec $\alpha_D < 1$). Très schématiquement lorsque le dispositif est fermé, il doit dissiper un minimum de puissance, il doit donc avoir une résistance à l'état passant très faible, tandis qu'à l'état ouvert il doit être capable d'encaisser une tension au moins égale à la tension d'alimentation (en considérant les surtensions). Il faut également avoir un temps de commutation faible pour réduire les pertes par commutation et permettre d'augmenter la fréquence afin de réduire la taille des passifs [87].

D'un point de vue technologique, il peut être intéressant de remplacer la diode $D1$ (nommée diode de roue-libre ou « Free Wheeling Diode ») par un deuxième transistor MOS haute tension ($M2$). Dans cette configuration, le transistor est monté en diode et dans le cas d'une technologie

CMOS avancée la tension de seuil de celui-ci est inférieure à la tension de déclenchement de la diode qui se situe aux environs de 0.6V. Ceci permet de diminuer en partie les surtensions lors de la phase d'ouverture et le coût d'intégration. Le transistor M1 est alors appelé transistor partie haute ou « high-side » tandis que le transistor M2 sera « low-side ». L'emploi d'un high-side de type P permet de se passer de circuit de contrôle haute-tension nécessaire pour la commande du dispositif de type N (afin d'assurer un V_G suffisant par rapport à V_D). En revanche la mobilité des trous étant plus faible que celle des électrons, la résistance à l'état passant d'un type P sera plus forte et par conséquent le dispositif occupera une surface plus grande pour un courant recherché.

La gestion de l'énergie peut être externalisée du SoC dans des circuits nommés « power management unit » (PMU). En revanche, l'intégration sur une puce est un avantage car elle permet de bénéficier de la communication entre l'étage de conversion et l'utilisation finale pour tirer le meilleur parti de l'énergie à disposition. Ainsi des travaux récents ont déjà rapproché les régulateurs basses tensions des cœurs des processeurs de façon à ce que le Power Control Unit (PCU) intégré au digital spécifie les tensions d'entrée, le nombre de fonctions actives ou non pour minimiser la consommation totale du circuit [83], [84]. Des projets ont réussi à mettre le PMU directement sur le SoC comme le montre le schéma de la puce pour applications GPS ci-dessous proposée par la compagnie STMicroelectronics (Figure 1.19) [88].

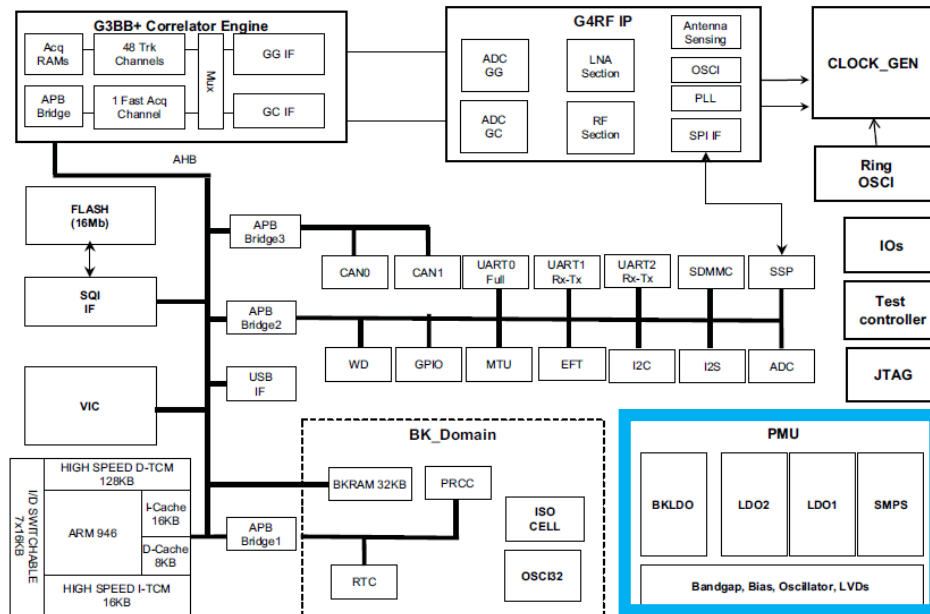


Figure 1.17 : Schéma bloc des fonctionnalités d'un SoC STMicroelectronics pour applications GPS TESEO avec PMU intégré en technologie CMOS 55nm (d'après fiche technique STMicroelectronics [88]).

Pour résumer, nous avons vu, en détaillant quelques applications de puissance et de gestion de l'énergie, que d'une façon générale les profils de missions auxquels sont soumis les composants actifs se séparent en deux familles distinctes. Nous pouvons distinguer ainsi les profils de mission « analogiques » pour la transmission RF ou la régulation en tension et « interrupteur » pour la gestion d'énergie.

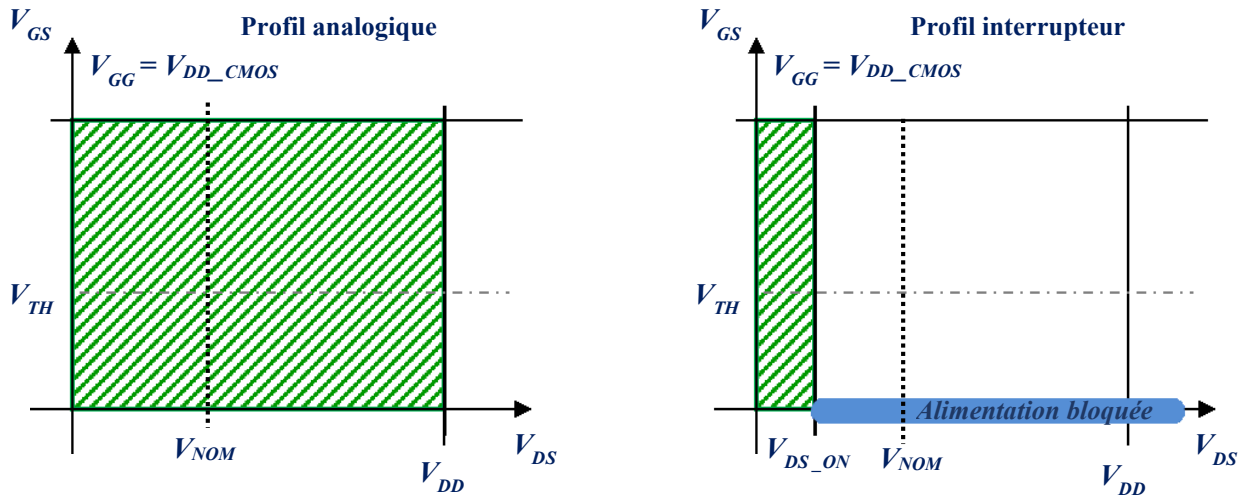


Figure 1.18 : Profils de mission des composants utilisés dans les applications de puissance en CMOS. Profil de mission analogique ou régulation en tension (gauche) et profil de mission interrupteur pour la conversion d'énergie (droite).

Un composant utilisé dans de telles applications doit répondre au cahier des charges suivant :

- Etre compatible avec le procédé de fabrication de la technologie CMOS pour ne pas augmenter le coût de l'intégration. Ainsi la tension de commande est la même que les MOS à oxyde épais de la technologie $V_{GG} = V_{DD_CMOS}$.
- Etre capable de supporter de fortes tensions de drain $V_{DD} > V_{GG}$ avec un courant de fuite très faible pour réduire la consommation statique. Dans notre cas, la tension à soutenir est une tension de drain de 3V à 5V.
- Avoir une faible résistance à l'état passant (R_{ON}).
- Etre résistant à une forte puissance dissipée (profil analogique).
- Avoir une fréquence de transition (f_T) élevée pour être utilisé sur une gamme de fréquences importante.

- Un temps de commutation (ouverture et fermeture) faible est également nécessaire pour minimiser les pertes par commutation.

Ces travaux de thèse s'inscrivent dans la perspective de l'intégration de telles fonctions haute tension en FDSOI afin d'offrir de nouvelles applications et d'améliorer encore l'efficacité énergétique. Ceci nécessite de comprendre les limitations en tension du MOS digital et nous conduit à chercher des architectures compatibles avec le procédé de fabrication pour y répondre.

1.2.2. Contraintes et limites des technologies CMOS pour les applications de puissance

1.2.2.1. Les limites en tension du transistor MOS

Le transistor MOS dont nous avons décrit l'architecture précédemment ne peut supporter qu'une certaine gamme de tension. En effet lorsque les différences de potentiel entre les électrodes augmentent, des forts champs électriques apparaissent et dégradent le dispositif. Nous expliquons ici les principaux phénomènes qui empêchent les transistors MOS adaptés aux signaux digitaux d'être utilisés dans les applications plus haute tension.

Sous de fortes tensions (sous entendues supérieures aux tensions nominales) les transistors MOS FDSOI sont ainsi limités par:

- Les courants de fuite sous fort champ comme le GIDL ou le perçage volumique.
- Le phénomène de claquage électrique : l'avalanche.
- Les phénomènes d'auto-polarisation du substrat comme les effets de substrat flottant ou de bipolaire parasite.
- Les phénomènes de vieillissement limitant la fiabilité dans le temps comme les porteurs chauds ou le claquage de l'oxyde.

Sous une forte tension de drain, comme nous l'avons déjà vu (section 1.1.2), la zone de charge d'espace peut s'étendre dans le volume sous la zone de canal jusqu'à rejoindre la ZCE côté source. La barrière de potentiel est abaissée et les porteurs peuvent circuler. Un courant de fuite

indépendant de la grille apparaît : c'est le phénomène de perçage [11]. Ce courant est responsable d'une consommation supplémentaire et doit être réduit. Nous noterons ici que cet effet est atténué en FDSOI et masqué par d'autres courants de fuite comme les courants tunnels bande-a-bande (« band-to-band tunneling » ou BTBT). C'est notamment le cas du « gate-induced-drain-leakage » (GIDL). Lorsque la différence de potentiel entre la grille et le drain augmente, les bandes d'énergies peuvent être localement suffisamment courbées pour permettre aux électrons (trous) de passer par effet tunnel directement de la bande de conduction (valence) à la bande de valence (conduction). Un courant de fuite apparaît c'est le GIDL [89].

Par ailleurs, lorsque la tension inverse aux bornes de la jonction PN (drain-canal) augmente, le champ électrique qui se développe accélère les porteurs. Si un porteur acquiert assez d'énergie, il va pouvoir générer une paire électron-trou en cédant son énergie cinétique au réseau cristallin lors d'un choc: on parle d'ionisation par impact. Les nouveaux porteurs vont à leur tour être accélérés (les trous vers la zone P et les électrons vers la zone N) et vont pouvoir générer d'autres paires. Les porteurs générés se multiplient de manière exponentielle, le courant explose : c'est le phénomène de claquage électrique ou d'avalanche [2], [9]. La puissance dissipée peut endommager le dispositif.

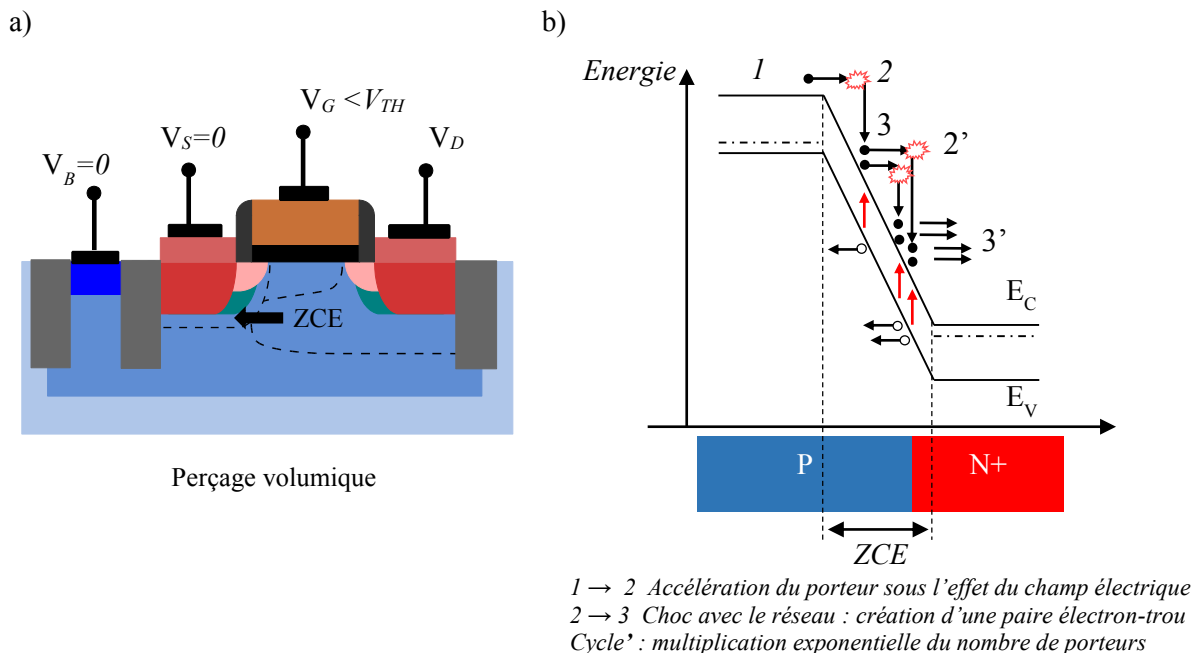


Figure 1.19: (a) Illustrations des phénomènes de perçage volumique et (b) du phénomène d'ionisation par impact à l'aide des bandes d'énergie.

Cependant avant d'arriver à la tension d'avalanche, l'accélération des porteurs (notamment dans la région de pincement du canal en régime de saturation) et l'ionisation par impact génèrent des phénomènes qui influencent le fonctionnement et le vieillissement du dispositif.

Ainsi les trous (cas N-MOS) générés par l'ionisation par impact vont pouvoir créer des effets d'auto-polarisation ou de substrat flottant. Sur un substrat massif, les trous générés sont collectés par la prise de caisson du transistor. Si un courant de trous suffisamment fort apparaît, la chute de potentiel induite par la résistance distribuée du substrat monte le potentiel du caisson sous le transistor (ou « body »). De la même manière sur SOI où les trous ne sont pas collectés, ils s'accumulent dans le body du transistor augmentant de manière analogue son potentiel (Fig. 1.20). Si le potentiel de celui-ci augmente, la tension de seuil est réduite et le courant de drain croît: c'est l'effet « kink » [41], [58]. Ce phénomène peut être assisté par le déclenchement d'un bipolaire parasite constitué par l'alternance N-P-N du transistor (cas N-MOS). Le courant de base du bipolaire constitué des trous générés est amplifié par le gain du bipolaire, et conduit à une augmentation du courant de drain (on parle parfois de second kink). Ceci peut conduire à des effets indésirables et à la réduction de la tenue en tension V_{DS} du transistor.

Dans le cas de notre étude, des travaux récents confirment que, bien que le gain du transistor bipolaire parasite soit réduit, celui-ci reste présent dans les technologies FDSOI sur film ultra-mince [54], [90].

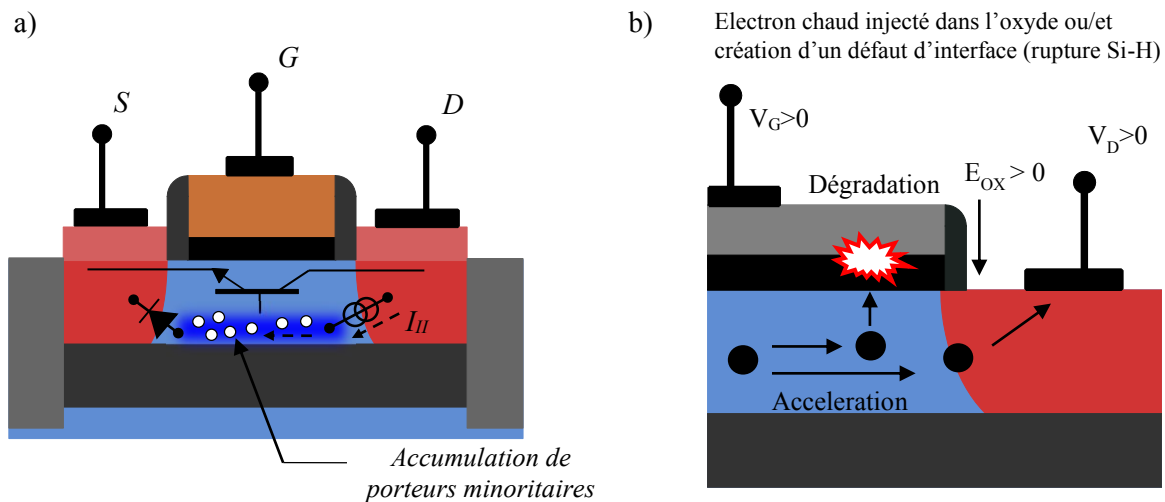


Figure 1.20 : Phénomènes générés par les forts champs à la jonction: (a) effet bipolaire parasite et (b) de porteurs chauds.

Par ailleurs, si l'énergie d'un porteur accéléré dépasse l'énergie thermique du réseau : on parle de porteur chaud. Ce porteur chaud peut sous certaines conditions venir dégrader les propriétés de l'oxyde de grille [41], [91]. En effet sous l'action d'un champ transverse le porteur chaud peut être injecté dans l'oxyde de grille et crée des défauts. Il peut par exemple venir rompre une liaison Si-H présente à l'interface Si-SiO₂. Une fois la liaison pendante, elle constitue alors un défaut électriquement actif dont l'énergie se situe dans la bande interdite du silicium : on parle d'état d'interface pour les qualifier. Ces états d'interface présents ou créés par porteurs chauds peuvent alors piéger des charges et modifier les tensions de seuil du transistor ou affecter la mobilité [2]. On parle de dégradation par porteur chaud (ou « hot carrier impact » abrégé HCI en anglais).

Enfin et avant tout, le transistor MOS est limité par la capacité de l'oxyde de grille à supporter une forte différence de potentiel. Sous l'effet d'un fort champ et du temps, l'oxyde de grille se fatigue. Les porteurs injectés dans l'oxyde finissent par créer un chemin de conduction, l'oxyde n'est plus isolant : on parle de claquage de l'oxyde [92], [93].

La Figure 1.21 montre des mesures des transistors MOS à oxyde épais en technologie FDSOI que nous avons réalisées pour vérifier leur capacité à supporter une forte tension de drain. Nous pouvons voir apparaître les forts courants de fuite I_D avec la tension de drain V_D pour différentes longueurs de transistor (Figure 1.21a). Comme il n'y a pas de dépendance de ces courants de fuite avec la longueur, nous pouvons en déduire qu'il s'agit de courant induit par effet tunnel (fort champ localisé). La tenue en tension des transistors FDSOI est limitée par le claquage de l'oxyde comme le montre la Figure 1.21b. Ces mesures confirment que les MOS FDSOI ne peuvent être employés pour des tensions supérieures $V_{DS} > 2.5V$ (en considérant un critère sur le courant de fuite).

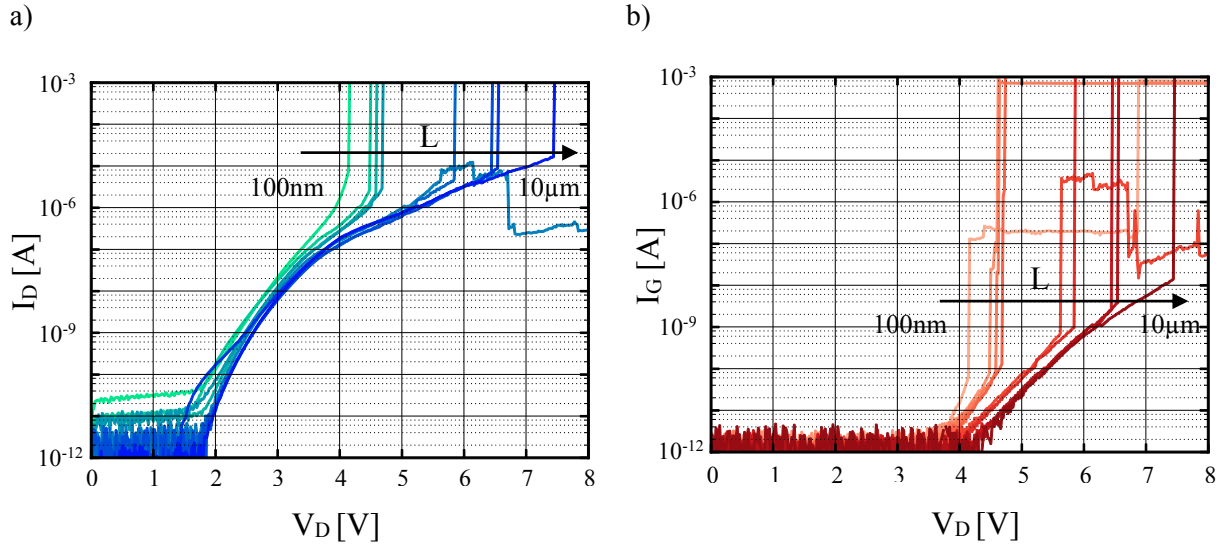


Figure 1.21 : Mesures à température ambiante de MOS FDSOI à l'état bloqué illustrant les courants de fuite et le claquage prématuré de l'oxyde de grille à fort V_D : (a) courant de drain I_D et (b) courant de grille I_G (en valeur absolue) en fonction de V_D pour différentes longueur de grille et pour un W donné.

1.2.2.2. Problématique d'intégration en technologie CMOS

D'un point de vue technologique, les technologies CMOS sur substrat massif sont également limitées en termes d'intégration en raison des perturbations statiques et dynamiques qu'induisent les applications de puissance sur les fonctions numériques à travers le substrat. Dans ce cadre le substrat SOI offre un avantage essentiel: la possibilité de se passer de certaines stratégies d'isolation mises en place en technologie massive. Ces stratégies sont nécessaires pour faire cohabiter des blocs fonctionnant sous des signaux (courant/tension) de niveaux différents [94] et garantir l'intégrité du signal. Parmi ces perturbations, nous pouvons citer les commutations involontaires dans la partie de commande numérique induites par couplage à travers le substrat (« noise coupling » en anglais) ou encore le déclenchement de bipolaires et thyristors parasites (ou « latch-up ») que nous illustrons sur la Figure 1.22.

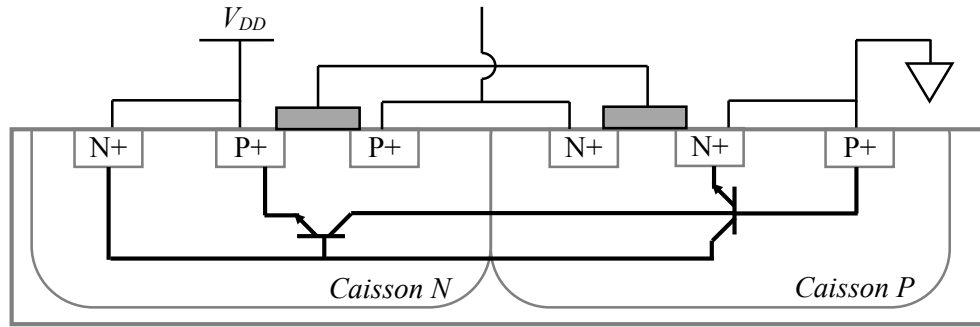


Figure 1.22 : Illustration du thyristor parasite dans un inverseur CMOS responsable du phénomène de « latch-up » (d'après [94]).

Pour s'affranchir de ces phénomènes, il existe une grande variété de protections que l'on peut réunir en 3 familles principales [94] :

- Les isolations par jonction : elles reposent sur l'encapsulation des composants dans des caissons séparées par des jonctions P-N polarisées en inverse. Les anneaux de gardes et les couches entrées fortement dopées sont des illustrations de telles isolations (Figure 1.23).
- Les isolations par diélectrique et/ou tranchées : une telle isolation est apportée par un isolant comme un oxyde (STI, oxyde enterré, etc...)
- Les isolations actives : elles se basent sur le déclenchement de composant spécifique pour détourner les signaux parasites des zones sensibles (nous laissons le lecteur se référer à la référence [94] pour plus d'information).

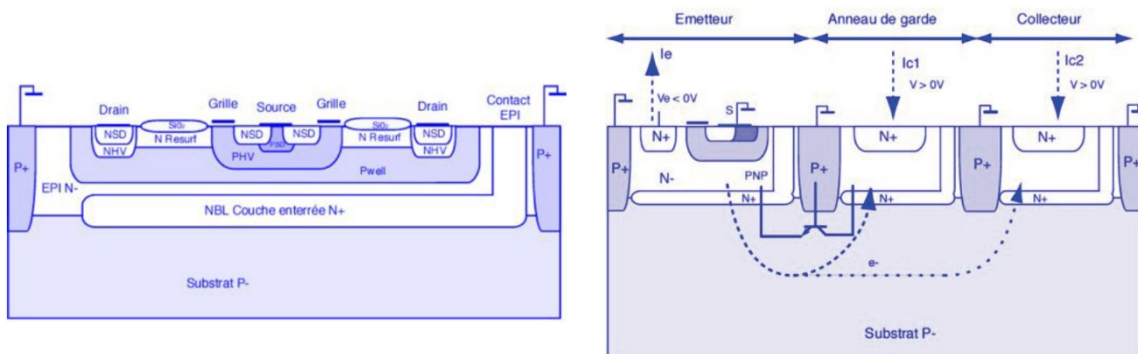


Figure 1.23 : Isolation par couche enterrée et par anneau de garde (extrait de [94]).

Dans tous les cas, ces protections doivent être conçues avec une grande attention et occupent une surface importante qui nuit à la densité d'intégration monolithique des différents

blocs. Dans un tel contexte, l'isolation diélectrique naturelle apportée verticalement par le BOX et horizontalement par les STIs ainsi que la réduction des capacités apparaît comme un avantage pour l'intégration conjointe et dense des applications de puissance et digitales en technologie FDSOI.

1.2.3. Etat de l'art des composants de puissance: les transistors MOS haute tension

Les transistors MOS digitaux ne sont pas capables de supporter de fortes tensions de drain. Pour envisager intégrer des applications haute tension en technologie CMOS FDSOI, il faut se tourner vers des architectures dédiées. Ainsi dans la littérature, deux principales classes de composants de puissance sont disponibles sur silicium pour les applications haute tension:

- Les composants bipolaires ont une conduction « ambipolaire » c'est-à-dire assurée par les deux types de porteurs à la fois (électrons et trous). Parmi ces composants, on trouve les transistors bipolaires, les IGBTs (ou transistor bipolaire à grille isolée), les thyristors (classique - SCR- ou « gate turn-off » - GTO-) [95].
- Les composants unipolaires rassemblent ceux dont la conduction est assurée par un seul type de porteurs. C'est notamment le cas des transistors MOS dont la conductivité est assurée uniquement par les électrons (N-MOS) ou les trous (P-MOS). On trouve également dans cette classe les diodes Schottky, les MESFET ou les JFET.

La Figure 1.24 ci-dessous permet de se rendre compte des domaines d'utilisation de ces différents composants de puissance pour des applications de conversion d'énergie.

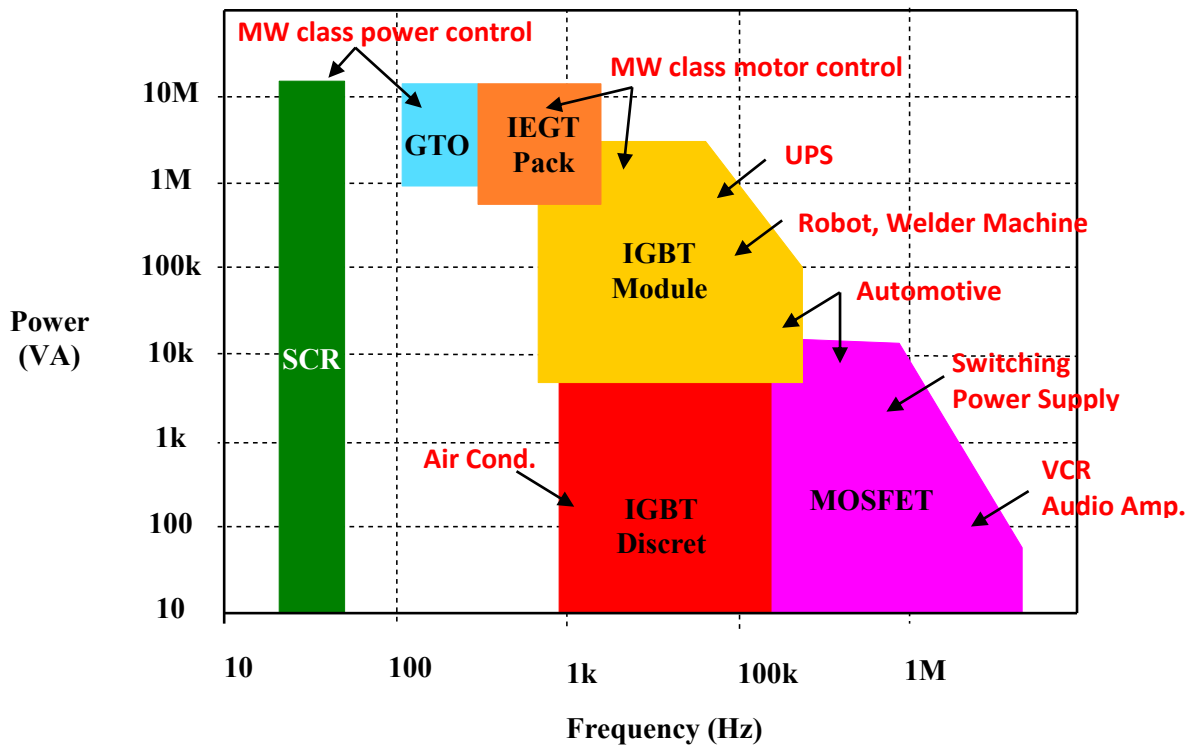


Figure 1.24: Classement des composants du silicium pour les applications de puissance pour la conversion d'énergie (d'après [95]).

Comme nous pouvons le voir, les composants bipolaires sont utilisés dans une gamme large de fortes puissances et de fréquences de commutation relativement basses (jusqu'à 100kHz). Ils présentent en effet une modulation de la conductivité par injection de porteurs minoritaires à l'état passant (on les trouve d'ailleurs également sous le nom de « minority carrier devices »). Cette modulation permet d'atteindre une résistance très faible à l'état passant notamment sous forte tension. En revanche, leur temps de commutation se retrouve augmenté par la nécessité d'injecter ou d'évacuer les charges minoritaires. Les pertes par commutation qui sont proportionnelles à ce temps de commutation deviennent alors limitantes en pratique pour leur utilisation à de hautes fréquences [86]. Il faut cependant noter qu'en raison de leur forte fréquence de transition (f_T), les transistors bipolaires sont encore indispensables dans un grand nombre d'applications RF.

A l'inverse, ce qui nous intéresse ici c'est que les transistors MOS de puissance (et par extension les technologies CMOS) sont utilisés pour des applications de plus faible puissance mais avec des fréquences de commutation élevées. Ces fréquences élevées permettent de réduire la taille des passifs à utiliser et ainsi de gagner en densité d'intégration. Ce point se retrouve renforcé par

la capacité des MOS de puissance à s'intégrer à moindre coût en technologie CMOS massive et SOI comme nous allons maintenant le voir.

Les architectures les plus communes de MOS haute tension intégrables en CMOS avancé sont alors listées et décrites ci-dessous [73]:

- Les transistors MOS doubles diffusés ou DMOS (verticaux VDMOS ou latéraux LDMOS)
- Les transistors « Drift-MOS » qui s'appuient sur un oxyde épais de protection.
- Les transistors MOS à extension de drain ou EDMOS
- Les transistors DMOS

L'architecture la plus commune de MOS haute tension est le transistor DMOS pour MOS double diffusé (Figure 1.25). Il peut se trouver en configuration verticale (VDMOS) ou latérale (LDMOS) et peut être utilisé pour des composants de puissance discrets ou intégrés.

Certains DMOS à structure verticale (VDMOS) peuvent être intégrés aux technologies planaires en utilisant des couches enterrées fortement dopées connectées à la face avant par des puits de connexion. Pour nos travaux, l'avantage du LDMOS est qu'il peut être intégré en technologie CMOS car ses électrodes sont coplanaires. Le LDMOS présente une zone peu dopée entre le canal et le contact de drain qui est déporté pour supporter une plus grande tension : on parle de zone d'extension ou de dérive (« drift » en anglais). Le canal est créé à l'aide d'une double diffusion qui permet de déterminer la longueur du canal. Les implants P_{BODY} et N_{Source} sont réalisés successivement, ce sont alors les diffusions latérales respectives lors des recuits qui vont fixer la longueur du canal sans avoir à recourir à des lithographies très avancées. L'inconvénient de cette double diffusion est qu'il est plus difficile de contrôler l'uniformité du dopage dans le canal et la variabilité de la tension de seuil. Ils sont ainsi intégrables au sein de technologie CMOS y compris sur SOI fin ($t_{\text{Si}}=50\text{-}100\text{nm}$) comme le montre des études datant d'une dizaine d'année [76], [96].

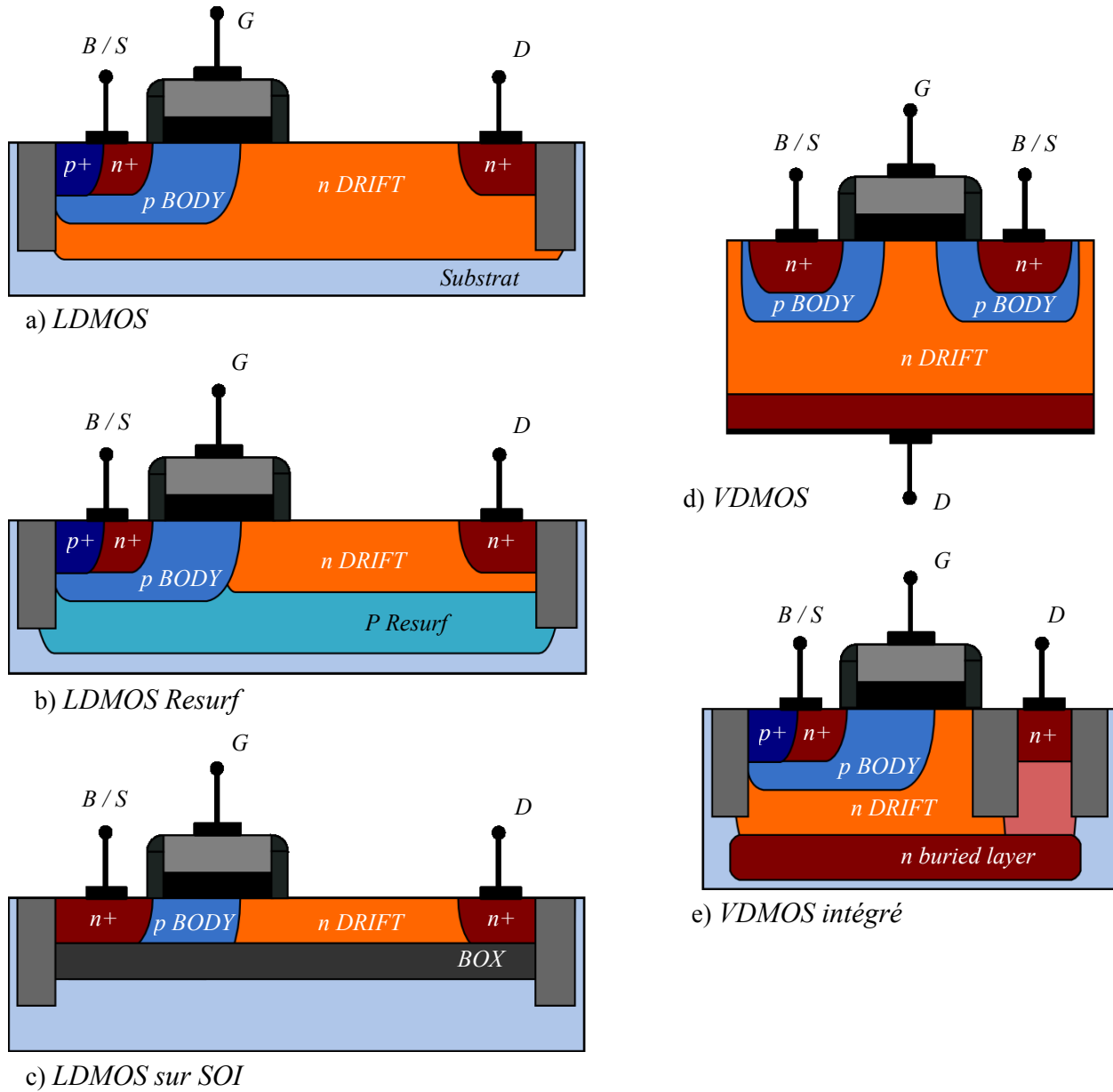


Figure 1.25 Coupes schématiques de transistors MOS double-diffusé suivant différentes configurations. Transistors DMOS latéraux (a) LDMOS, (b) Resurf LDMOS, (c) LDMOS sur SOI et verticaux VDMOS (e) discret et (d) intégrable.

Pour se représenter les choses, la région de dérive se comporte comme la zone intrinsèque (ou faiblement dopée) d'une jonction P-i-N assurant la tenue en tension. Celle-ci dépend du dopage N_{DRIFT} et de la longueur L_{DRIFT} de la zone intrinsèque, deux paramètres qui devront être optimisés en fonction des performances recherchées. Il existe en effet un compromis entre tenue en tension

(BV_{DS}) et résistance passante spécifique ($R_{ON} \cdot S$). Ce compromis communément appelé « limite du silicium » s'écrit dans le cas idéal d'une jonction P-i-N [97]:

$$R_{ON} \cdot S = \frac{3 \cdot BV_{DS}^2}{\mu_n \cdot \varepsilon \cdot E_{cr}^3}$$

où E_{cr} est le champ critique du silicium (champ pour lequel l'avalanche est atteinte) et μ_n la mobilité des porteurs.

Ce critère de résistance passante spécifique permet de rendre compte de la surface occupée par le dispositif : il serait en effet aisé d'obtenir une forte tenue en tension en maximisant L_{DRIFT} (et/ou réduisant N_{DRIFT}) tout en minimisant la résistance par l'augmentation de la section de conduction du courant (largeur W).

- Les transistors Drift-MOS

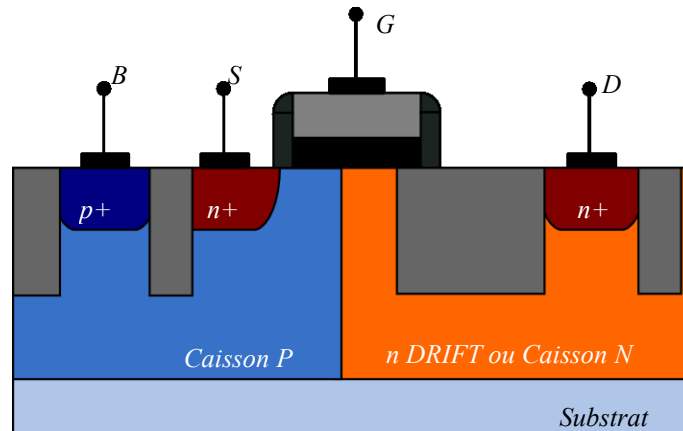


Figure 1.26 Coupe schématique du transistor Drift-MOS.

Par extension du principe de zone de dérive, les transistors Drift-MOS (Figure 1.26) s'appuient sur un drain déporté après une tranchée d'isolation STI (Shallow trench isolation) pour éviter les problèmes de perçage du canal, d'avalanche, de porteurs chauds ou encore de claquage de l'oxyde. Cette architecture prend également le nom de transistor MOS à tranchées (ou LUDMOS) pour des applications de plus fortes tensions [98]. Elle permet pour un surcoût d'intégration faible (surtout si le niveau de dopage du drift est celui des caissons de la technologie CMOS) de soutenir une forte tension de drain. A l'état bloqué, la tension est supportée en partie par la jonction $P_{WELL}-N_{DRIFT}$ tandis qu'à l'état passant, le courant parcourt le chemin de conduction sous le STI ce qui crée la résistance nécessaire. L'inconvénient est d'une part la résistance série

qui dépend de la profondeur du STI fixée par la technologie et d'autre part la contribution importante à la capacité grille-drain rajoutée par le recouvrement de la grille sur le drain étendu.

- Les transistors MOS à drain étendu (EDMOS ou DEMOS)

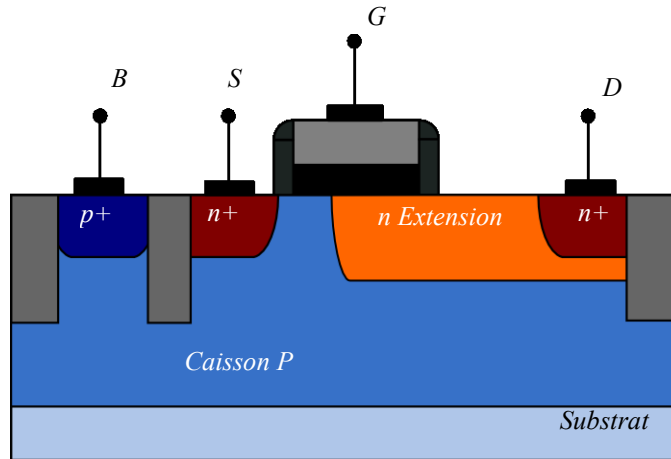


Figure 1.27: Coupe schématique du transistor MOS à extension de drain (EDMOS). Contrairement au LDMOS, il n'y a qu'un seul implant dédié par rapport à la technologie CMOS dont il est dérivé.

Toujours sur le même principe, les transistors MOS à extension de drain ou EDMOS (parfois DEMOS pour « Drain-Extended ») sont basés sur une architecture dérivée des transistors LDMOS (d'où une grande confusion entre les deux termes). Ils sont néanmoins plus proches des transistors MOS standard dans leur réalisation. Afin de pouvoir supporter des tensions de drain plus élevées que les MOS classiques, les EDMOS possèdent également une zone d'extension de drain entre le canal et le drain mais contrairement au transistor LDMOS, elle est implantée en une fois dans le substrat du même type que le canal. L'EDMOS bénéficie ainsi d'un dopage uniforme dans une grande partie du canal. Grâce à des lithographies avancées bien contrôlées, un seul masque supplémentaire par rapport au procédé de fabrication des CMOS digitaux est nécessaire pour la réalisation d'un EDMOS contre deux pour le LDMOS. Dans une approche bas coût, cette dernière spécificité fait de l'EDMOS un bon candidat pour le développement sur le film mince de la technologie UTBB-FDSOI.

Certaines améliorations technologiques peuvent être apportées aux transistors MOS haute tension afin d'atteindre des compromis $R_{ON}.S/BV$ toujours plus favorables :

- Les terminaisons de jonctions et les plaques de champ.

- Les contacts de body (que l'on a vu apparaître sur les figures 1.25, 1.26 et 1.27 ci-dessus).
- Le concept de RESURF (qui peut être étendu sur SOI).

Dans la réalisation des transistors MOS de puissance, la terminaison des jonctions doit être conçue avec attention. En effet dans la réalité, les jonctions ne sont pas parfaitement planes mais cylindriques voire sphériques. Or, plus on s'éloigne de la planéité de la jonction, plus des effets de pointe créent des champs électriques localisés qui viennent limiter la tenue en tension de la jonction [99]. Il faut alors faire attention à leur géométrie et terminaison en surface. Une des premières méthodes est alors d'utiliser ce que l'on appelle une plaque de champ (ou « field plate ») afin d'assister électrostatiquement la répartition des lignes équipotentiellles pour lisser le champ électrique [94].

Par ailleurs des contacts (P+) sont rajoutés dans la source (N+) pour connecter le « body » du transistor afin de collecter les trous créés par ionisation par impact (cas N-MOS). Par conséquent les effets de substrat flottant ou de bipolaires parasites sont réduits [73], [76].

Pour améliorer la « limite du silicium », la technique la plus connue et utilisée en raison de sa simplicité de mise en œuvre, repose sur l'effet RESURF (abréviation de l'anglais « REduced SURface Field effect ») [100]. Cette technique permet d'améliorer le compromis du LDMOS comme le montre la Figure 1.28. Cette méthode repose sur l'introduction d'une couche P sous la zone de dérive N (cas N-MOS, Fig. 1.25b). Les ZCE des deux jonctions vont interagir de manière à abaisser et uniformiser le champ électrique en surface. A l'état bloqué, la jonction plane entre la couche P⁻ et la zone de dérive N_{DRIFT} se désertera avant que la jonction cylindrique N_{DRIFT}/P⁺ n'atteigne le champ critique conduisant au claquage dans la direction latérale. Dans cette configuration, la tension est soutenue par la jonction plane P⁻/N_{DRIFT} et non plus par la jonction cylindrique dont la tenue en tension est plus faible. La technique du RESURF basée sur le contrôle des charges présentes dans l'extension permet de repousser la limite de tenue en tension du transistor et/ou de doper plus fortement la zone de dérive pour en réduire sa résistance à l'état passant.

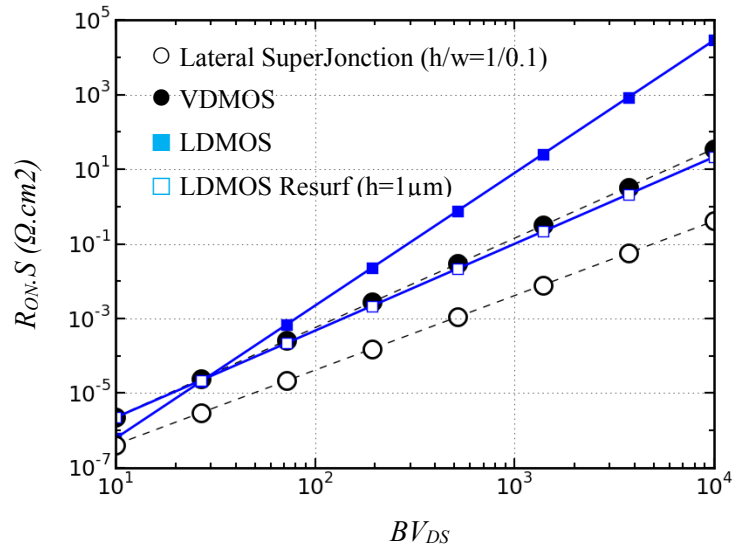
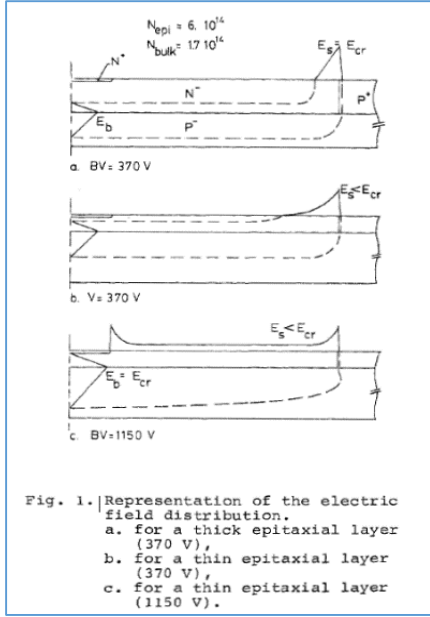


Figure 1.28: Illustration du phénomène de RESURF (tirée de [100]) et comparaison théorique des différentes architectures de transistor MOS haute tension en terme de compromis $R_{ON}.S$ BV (d'après [101]).

Comme le montre la littérature, la notion de RESURF peut être étendue aux transistors MOS haute-tension sur SOI [102]. Dans un tel cas, on peut faire une analogie entre le rôle joué par le diélectrique (BOX) et la couche enterrée P. On peut alors optimiser l'effet en utilisant des dopages graduels dans l'extension : en dopant fortement près du drain puis de plus en plus faiblement jusqu'à la grille. Cette notion s'étend également à d'autres architectures comme par exemple les composants à RESURF multiples [103], aux LDMOS à superjonction (SJ-LDMOS) [104] ou encore à îlots flottants [105] utilisés pour de forte gamme de tensions.

1.3. Conclusion du chapitre

Dans ce premier chapitre, nous avons introduit les avantages qu'offre la technologie FDSOI dans la course à la miniaturisation des circuits intégrés CMOS. Nous avons rappelé que l'augmentation de la densité d'intégration permet d'une part un gain de performances, en réduisant la consommation des circuits et en augmentant leur puissance de calcul, et d'autre part un gain de place notamment pour les applications portables et autonomes. La demande pour de telles

applications renforce la quête vers l'intégration de toutes les fonctions aux seins d'une même puce (le SoC). Ceci passe notamment par l'intégration de fonctions de puissance ou haute tension destinées aux fonctionnalités d'amplification de signaux et/ou de gestion d'énergie. Inscrivant nos travaux de recherche dans la perspective d'intégration de nouvelles fonctionnalités en FDSOI, nous avons vu pourquoi les transistors MOS digitaux ne leur sont pas adaptés. Nous nous sommes alors intéressés aux composants de puissance et aux transistors MOS haute-tension en particulier. Dans la perspective de l'intégration sur le substrat UTBB de la technologie FDSOI, nous résumons dans le tableau ci-dessous les avantages et inconvénients des différentes architectures :

Tableau 2.1: Avantages et inconvénients des différentes architectures de MOS haute tension pour l'intégration en SOI fin

Architecture	Gamme de tension	Résistance Série	Fréquence de transition	Possibilité d'intégration sur SOI fin
VDMOS	++	++	+	Impossible
LDMOS	++	+	+	Oui, +2 masques
DriftMOS	$V_{DD} > 3 \times V_{GG}$ [73]	-	-	Impossible
EDMOS	$V_{DD} < 3 \times V_{GG}$ [73]	+	+	Oui, +1 masque

Dans une approche visant l'économie d'étapes de fabrication dédiées au transistor MOS haute-tension et une gamme de tension de l'ordre (3.3V-5V), l'EDMOS semble être la structure qui présente le meilleur potentiel d'intégration. C'est donc la structure que nous avons privilégiée au cours de nos travaux de recherche. Le chapitre suivant s'intéresse au portage de l'architecture EDMOS en technologie FDSOI tandis que le chapitre 3 proposera une approche innovante basée sur les spécificités du FDSOI pour assurer un compromis $R_{ON}.S/BV$ prometteur tout en se passant d'étapes de fabrication dédiées au MOS haute tension.

1.4. Bibliographie

- [1] G. E. Moore, "Cramming more components onto integrated circuits," *Proc. IEEE*, vol. 86, no. 1, pp. 82–85, 1998.
- [2] S. M. Sze, *Physics of Semiconductor Devices*, 2nd ed. John Wiley & Sons, 1981.

- Chapitre 1 : La technologie CMOS FDSOI et les applications de puissance -

- [3] Y. P. Tsividis, *Operation and modeling of the MOS transistor*. McGraw-Hill Book Company, 1987.
- [4] T. Skotnicki, "Circuits intégrés CMOS sur silicium," *Tech. l'ingénieur*, vol. E2430, pp. 1–28, 2008.
- [5] J. Kuo and K. Su, *CMOS VLSI engineering: silicon-on-insulator (SOI)*. Springer Science & Business Media, 1998.
- [6] Intel, "How Intel Makes Chips: Transistors to Transformations," 2012. [Online]. Available: <http://www.intel.com/>.
- [7] IBM, "IBM Power Systems: Hardware Deep Dive," 2013. [Online]. Available: <https://www.ibm.com>.
- [8] A. Khakifirooz, K. Cheng, Q. Liu, et al., "Extremely thin SOI for system-on-chip applications," *Proc. Cust. Integr. Circuits Conf.*, pp. 7–10, 2012.
- [9] A. S. Grove, *Physique et technologie des dispositifs à semi-conducteur*. Dunod, 1971.
- [10] O. Semenov, A. Pradzynski, and M. Sachdev, "Impact of gate induced drain leakage on overall leakage of submicrometer CMOS VLSI circuits," *IEEE Trans. Semicond. Manuf.*, vol. 15, no. 1, pp. 9–18, 2002.
- [11] K. Roy, S. Mukhopadhyay, and H. Mahmoodi-Meimand, "Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits," *Proc. IEEE*, vol. 91, no. 2, pp. 305–327, 2003.
- [12] T. Skotnicki, C. Fenouillet-Beranger, C. Gallon, et al., "Innovative materials, devices, and CMOS technologies for low-power mobile multimedia," *IEEE Trans. Electron Devices*, vol. 55, no. 1, pp. 96–130, Jan. 2008.
- [13] R. H. Dennard, F. H. Gaensslen, V. L. Rideout, et al., "Design of Ion-Implanted Small MOSFET's Dimensions with Very Small Physical Dimensions," *IEEE J. Solid-State Circuits*, vol. 9, no. 6, pp. 256–268, Oct. 1974.
- [14] S. E. Thompson, R. S. Chau, T. Ghani, et al., "In search of 'forever,' continued transistor scaling one new material at a time," *IEEE Trans. Semicond. Manuf.*, vol. 18, no. 1, pp. 26–35, 2005.
- [15] G. E. Moore, "No exponential is forever: but 'Forever' can be delayed!," *2003 IEEE Int. Solid-State Circuits Conf. 2003. Dig. Tech. Pap. ISSCC.*, 2003.
- [16] ITRS, "International Technology Roadmap for Semiconductors Executive Summary," 2013.
- [17] ICInsight and ICKnowledge, "IC Economics," in *The McClean Report*, 2015th ed., IC Insights, 2015.
- [18] S. Ogura, P. J. Tsang, W. W. Walker, et al., "Design and characteristics of the lightly doped drain-source (LDD) insulated gate field-effect transistor," *IEEE Trans. Electron Devices*, vol. 27, no. 8, pp. 1359–1367, Aug. 1980.

- Chapitre 1 : La technologie CMOS FDSOI et les applications de puissance -

- [19] D. A. Baglee, C. Duvvury, M. C. Smayling, et al., "Lightly doped drain transistors for advanced VLSI circuits," *IEEE Trans. Electron Devices*, vol. 32, no. 5, pp. 896–902, May 1985.
- [20] T. Hori, "A 0.1 μm CMOS technology with tilt-implanted punchthrough stopper (TIPS)," in *Electron Devices Meeting, 1994. IEDM '94. Technical Digest, IEEE International*, 1994, pp. 75–78.
- [21] Y. Okumura, M. Shirahata, T. Okudaira, et al., "A novel source-to-drain nonuniformly doped channel (NUDC) MOSFET for high current drivability and threshold voltage controllability," in *Electron Devices Meeting, 1990. IEDM '90. Technical Digest, IEEE International*, 1990, no. 2, pp. 391–394.
- [22] B. Yu, H. Wang, O. Milic, et al., "50nm Gate-Length CMOS Transistor with Super-Halo : Design , Process , and Reliability," in *Electron Devices Meeting, 1999. IEDM '99. Technical Digest, IEEE International*, 1999, pp. 653–656.
- [23] E. P. Gusev, D. A. Buchanan, E. Cartier, et al., "Ultrathin high-K gate stacks for advanced CMOS devices," in *Electron Devices Meeting, 2001. IEDM '01. Technical Digest. International*, 2001, pp. 20.1.1–20.1.4.
- [24] K. Mistry, C. Allen, C. Auth, et al., "A 45nm logic technology with high-k+ metal gate transistors, strained silicon, 9 Cu interconnect layers, 193nm dry patterning, and 100% Pb-free packaging," in *Technical Digest - International Electron Devices Meeting, IEDM*, 2007, no. June, pp. 247–250.
- [25] E. Josse and T. Skotnicki, "Polysilicon gate with depletion-or-metallic gate with buried channel: what evil worse ?," in *International Electron Devices Meeting 1999. IEDM '99. Technical Digest*, 1999, pp. 661–664.
- [26] P. Packan, S. Akbar, M. Armstrong, et al., "High performance 32nm logic technology featuring 2nd generation high-k + metal gate transistors," in *Technical Digest - International Electron Devices Meeting, IEDM*, 2009, pp. 4–7.
- [27] T. Skotnicki, C. Fenouillet-Beranger, C. Gallon, et al., "Innovative Materials, Devices, and CMOS Technologies for Low-Power Mobile Multimedia," *IEEE Trans. Electron Devices*, vol. 55, no. 1, pp. 96–130, Jan. 2008.
- [28] C. Gallon, G. Reimbold, G. Ghibaudo, et al., "Electrical analysis of external mechanical stress effects in short channel MOSFETs on (0 0 1) silicon," *Solid. State. Electron.*, vol. 48, no. 4, pp. 561–566, 2004.
- [29] L. Pham-Nguyen, C. Fenouillet-Beranger, G. Ghibaudo, et al., "Mobility enhancement by CESL strain in short-channel ultrathin SOI MOSFETs," *Solid. State. Electron.*, vol. 54, no. 2, pp. 123–130, 2010.
- [30] T. Ghani, M. Armstrong, C. Auth, et al., "A 90nm high volume manufacturing logic technology featuring novel 45nm gate length strained silicon CMOS transistors," in *IEEE International Electron Devices Meeting 2003*, 2003, vol. M, pp. 978–980.
- [31] K. J. Chui, K. W. Ang, H. C. Chin, et al., "Strained-SOI n-channel transistor with silicon-carbon source/drain regions for carrier transport enhancement," *IEEE Electron Device Lett.*, vol. 27, no. 9, pp. 778–780, 2006.
- [32] A. Asenov, "Simulation of statistical variability in nano MOSFETs," in *Digest of Technical Papers - Symposium on VLSI Technology*, 2007, vol. 1, no. 2006, pp. 86–87.

- [33] K. J. Kuhn, “Reducing Variation in Advanced Logic Technologies : Approaches to Process and Design for Manufacturability of Nanoscale CMOS,” in *Electron Devices Meeting, 2007. IEDM 2007. IEEE International*, 2007, pp. 471–474.
- [34] O. Weber, O. Faynot, F. Andrieu, et al., “High immunity to threshold voltage variability in undoped ultra-thin FDSOI MOSFETs and its physical understanding,” in *Electron Devices Meeting, 2008. IEDM 2008. IEEE International*, 2008, pp. 10–13.
- [35] F. Arnaud, A. Thean, M. Eller, et al., “Competitive and cost effective high-k based 28nm CMOS technology for low power applications,” in *Technical Digest - International Electron Devices Meeting, IEDM*, 2009, pp. 651–654.
- [36] H. Cho, K. Seo, W. C. Jeong, et al., “Bulk Planar 20nm High-K / Metal Gate CMOS Technology Platform for Low Power and High Performance Applications,” in *Electron Devices Meeting, 2011. IEDM 2011. IEEE International*, 2011, pp. 350–353.
- [37] W. Arden, M. Brillouët, P. Cogez, et al., “‘More-than-Moore’ White Paper,” 2010.
- [38] N. Planes, O. Weber, V. Barral, et al., “28nm FDSOI technology platform for high-speed low-voltage digital applications,” in *Digest of Technical Papers - Symposium on VLSI Technology*, 2012, vol. 33, no. 4, pp. 133–134.
- [39] C. Auth, C. Allen, A. Blattner, et al., “A 22nm high performance and low-power CMOS technology featuring fully-depleted tri-gate transistors, self-aligned contacts and high density MIM capacitors,” in *Digest of Technical Papers - Symposium on VLSI Technology*, 2012, vol. m, no. 2003, pp. 131–132.
- [40] M. De Marchi, D. Sacchetto, J. Zhang, et al., “Top-Down Fabrication of Gate-All-Around Vertically Stacked Silicon Nanowire FETs With Controllable Polarity,” *IEEE Trans. Nanotechnol.*, vol. 13, no. 6, pp. 1029–1038, 2014.
- [41] J.-P. Colinge, *Silicon-On-Insulator Technology : Materials to VLSI*, 3rd ed. Springer Science & Business Media LLC, 2004.
- [42] E. Gnani, S. Reggiani, M. Rudan, et al., “Design Considerations and Comparative Investigation of Ultra-Thin SOI, Double-Gate and Cylindrical Nanowire FETs,” in *2006 European Solid-State Device Research Conference*, 2006, pp. 371–374.
- [43] K. Cheng, A. Khakifirooz, P. Kulkarni, et al., “Extremely thin SOI (ETSOI) CMOS with record low variability for low power system-on-chip applications,” in *Technical Digest - International Electron Devices Meeting, IEDM*, 2009, pp. 49–52.
- [44] C. Auth, C. Allen, A. Blattner, et al., “A 22nm high performance and low-power CMOS technology featuring fully-depleted tri-gate transistors, self-aligned contacts and high density MIM capacitors,” in *2012 Symposium on VLSI Technology (VLSIT)*, 2012, pp. 131–132.
- [45] T. H. Bao, D. Yakimets, J. Ryckaert, et al., “Circuit and Process Co-Design with Vertical Gate-All-Around Nanowire FET Technology to Extend CMOS Scaling for 5nm and Beyond Technologies,” in *Solid State*

Device Research Conference (ESSDERC), 2014 44th European, 2014, vol. 3, pp. 3–4.

- [46] F. Andrieu, O. Faynot, X. Garros, et al., “Comparative scalability of PVD and CVD TiN on HfO₂ as a metal gate stack for FDSOI cMOSFETs down to 25nm gate length and width,” in *Technical Digest - International Electron Devices Meeting, IEDM*, 2006, pp. 1–4.
- [47] Q. Liu, M. Vinet, J. Gimbert, et al., “High performance UTBB FDSOI devices featuring 20nm gate length for 14nm node and beyond,” in *Technical Digest - International Electron Devices Meeting, IEDM*, 2013, pp. 228–231.
- [48] D. Jacquet, F. Hasbani, P. Flatresse, et al., “A 3 GHz dual core processor ARM cortex TM -A9 in 28 nm UTBB FD-SOI CMOS with ultra-wide voltage range and energy efficiency optimization,” *IEEE J. Solid-State Circuits*, vol. 49, no. 4, pp. 812–826, 2014.
- [49] T. Skotnicki, G. Merckel, and T. Pedron, “The Voltage-Doping Transformation a New Approach to the Modelling of MOSFET Short-Channel Effects,” in *Solid State Device Research Conference, 1987. ESSDERC '87. 17th European*, 1987, vol. 9, no. 3, pp. 0–3.
- [50] T. Ernst, R. Ritzenthaler, O. Faynot, et al., “A model of fringing fields in short-channel planar and triple-gate SOI MOSFETs,” *IEEE Trans. Electron Devices*, vol. 54, no. 6, pp. 1366–1375, 2007.
- [51] C. Fenouillet-Beranger, S. Denorme, P. Perreau, et al., “FDSOI devices with thin BOX and ground plane integration for 32 nm node and below,” *Solid. State. Electron.*, vol. 53, no. 7, pp. 730–734, 2009.
- [52] T. Ernst and S. Cristoloveanu, “The Ground-Plane Concept for the Reduction of Short-Channel Effects in Fully-Depleted SOI Devices,” in *Electrochemical Society Proceedings*, 1999, vol. 99–3, pp. 329–334.
- [53] J.-P. Noel, “Optimisation de dispositifs FDSOI pour la gestion de la consommation et de la vitesse : application aux mémoires et fonctions logiques,” Thèse de doctorat, Université de Grenoble, 2011.
- [54] C. Fenouillet-Beranger, O. Thomas, P. Perreau, et al., “Efficient multi-VT FDSOI technology with UTBOX for low power circuit design,” in *Digest of Technical Papers - Symposium on VLSI Technology*, 2010, pp. 65–66.
- [55] J. Lacord, “Développement de modèles pour l’évaluation des performances circuit des technologies CMOS avancées sub-20nm,” Thèse de doctorat, Université de Grenoble, 2012.
- [56] R. Tsuchiya, M. Horiuchi, S. Kimura, et al., “Silicon on thin BOX: a new paradigm of the CMOSFET for low-power and high-performance application featuring wide-range back-bias control,” in *IEDM Technical Digest. IEEE International Electron Devices Meeting, 2004.*, 2004, pp. 631–634.
- [57] H.-K. Lim and J. G. Fossum, “Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET’s,” *IEEE Trans. Electron Devices*, vol. 30, no. 10, pp. 1244–1251, 1983.
- [58] S. Cristoloveanu and S. S. Li, *Electrical characterization of silicon-on-insulator materials and devices*. Kluwer international, 1995.

- [59] J. Mazurier, O. Weber, F. Andrieu, et al., "Variability of planar Ultra-Thin Body and Buried oxide (UTBB) FDSOI MOSFETs," in *ICICDT 2014 - IEEE International Conference on Integrated Circuit Design and Technology*, 2014, pp. 1–4.
- [60] O. Weber, E. Josse, F. Andrieu, et al., "14nm FDSOI Technology for High Speed and Energy Efficient Applications," in *VLSI Technology (VLSI-Technology): Digest of Technical Papers, 2014 Symposium on*, 2014, pp. 14–15.
- [61] L. Grenouillet, Q. Liu, R. Wacquez, et al., "UTBB FDSOI scaling enablers for the 10nm node," in *SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2013 IEEE*, 2013, pp. 10–12.
- [62] P. Kumar, "Validating 2.5 D System-in-Package inter-die communication on silicon interposer," in *Electrical Design of Advanced Packaging & Systems Symposium (EDAPS), 2014 IEEE*, 2014, pp. 5–8.
- [63] M. Wojnowski, K. Pressel, G. Beer, et al., "Vertical Interconnections using Through Encapsulant Via (TEV) and Through Silicon Via (TSV) for High-Frequency System-in-Package Integration," in *Electronics Packaging Technology Conference (EPTC), 2014 IEEE 16th*, 2014, pp. 122–127.
- [64] D. Li, M. Shen, J. Huangfu, et al., "Wireless sensing system-on-chip for near-field monitoring of analog and switch quantities," *IEEE Trans. Ind. Electron.*, vol. 59, no. 2, pp. 1288–1299, 2012.
- [65] C. Jan, "10 years of transistor innovations in System-on-Chip (SoC) era," in *Solid-State and Integrated Circuit Technology (ICSICT), 2014 12th IEEE International Conference on*, 2014, pp. 1–4.
- [66] A. Maurelli, D. Belot, and G. Campardo, "SoC and SiP, the Yin and Yang of the Tao for the new electronic era," *Proc. IEEE*, vol. 97, no. 1, pp. 9–17, 2009.
- [67] W. Krenik, D. D. Buss, and P. Rickert, "Cellular handset integration - SIP versus SOC," *IEEE J. Solid-State Circuits*, vol. 40, no. 9, pp. 1839–1845, 2005.
- [68] P. Wessels, "Smart Power technologies on SOI," in *Proceedings of 2011 International Symposium on VLSI Technology, Systems and Applications*, 2011, pp. 1–2.
- [69] C. Contiero, P. Galbiati, M. Palmieri, et al., "Smart power approaches VLSI complexity," in *Proceedings of the 10th International Symposium on Power Semiconductor Devices and ICs. ISPSD'98*, 1998, pp. 9–17.
- [70] H. P. Le, J. Crossley, S. R. Sanders, et al., "A sub-ns response fully integrated battery-connected switched-capacitor voltage regulator delivering 0.19W/mm² at 73% efficiency," in *Digest of Technical Papers - IEEE International Solid-State Circuits Conference*, 2013, vol. 56, pp. 372–373.
- [71] R. van Roy, "Designing Applications with Lithium-Ion Batteries," *Richtek Appl. Note*, pp. 1–10, 2014.
- [72] R. Kollman and J. Betten, "Powering electronics from the USB port (slyt118)," *Analog Appl. J.*, vol. 2Q, pp. 28–35, 2002.
- [73] R. A. Bianchi, C. Raynaud, F. Blanchet, et al., "High voltage devices in advanced CMOS technologies," in *2009 IEEE Custom Integrated Circuits Conference*, 2009, pp. 2–5.

- [74] T. Johansson and J. Fritzin, "A review of Watt-Level CMOS RF power amplifiers," *IEEE Trans. Microw. Theory Tech.*, vol. 62, no. 1, pp. 111–124, 2014.
- [75] Gouvernement, "Les usages des radiofréquences," 2010. [Online]. Available: <http://www.radiofrequences.gouv.fr>.
- [76] O. Bon, O. Gonnard, F. Giancesello, et al., "First 15V complementary LDMOS transistors in thin SOI 65nm low power technology," in *Proceedings of the International Symposium on Power Semiconductor Devices and ICs*, 2007, pp. 209–212.
- [77] D. Muller, A. Giry, F. Judong, et al., "High-performance 15-V novel LDMOS transistor architecture in a 0.25 μm BiCMOS for RF-power applications," *IEEE Trans. Electron Devices*, vol. 54, no. 4, pp. 861–868, 2007.
- [78] A. Mai and H. Rücker, "Drain-extended MOS transistors capable for operation at 10V and at radio frequencies," *Solid. State. Electron.*, vol. 65–66, no. 1, pp. 45–50, 2011.
- [79] N. Deltimple, "Contribution à la conception d'amplificateurs de puissance radiofréquences intégrés et développement des méthodes d'optimisation de leurs performances," Mémoire HDR, Université Bordeaux 1., 2014.
- [80] T. Quémerais, "Conception et Etude de la Fiabilité des Amplificateurs de Puissance Fonctionnant aux Fréquences Millimétriques en Technologies CMOS Avancées," Thèse de doctorat, Université de Grenoble, 2010.
- [81] M. Zierak, N. Feilchenfeld, C. Li, et al., "Fully-Isolated silicon RF LDMOS for high-efficiency mobile power conversion and RF amplification," *Power Semicond. Devices ICs, 2015. ISPSD 2015, Proc. 27th Int. Symp.*, vol. 337, pp. 337–340, 2015.
- [82] T. Coulot, T. Souvignet, S. Trochut, et al., "Fully Integrated Power Management Unit (PMU) Using NMOS Low Dropout Regulators," in *EUROCON, 2013 IEEE*, 2013, no. July, pp. 1445–1452.
- [83] T. Souvignet, B. Allard, S. Trochut, et al., "A proposal of embedded SoC power supply compatible with a digital block design flow," in *Integrated Power Systems (CIPS), 2014 8th International Conference on*, 2014, pp. 25–27.
- [84] E. A. Burton, G. Schrom, F. Paillet, et al., "FIVR - Fully integrated voltage regulators on 4th generation Intel® Core™ SoCs," in *Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC*, 2014, pp. 432–439.
- [85] B. S. Lee, "Technical Review of Low Dropout Voltage Regulator Operation and Performance," *Texas Instruments Appl. Rep.*, vol. SLVA072, pp. 1–30, 1999.
- [86] R. W. Erickson and D. Maksimovic, *Fundamentals of Power Electronics*, 2nd ed. Springer Science & Business Media, 2001.

- Chapitre 1 : La technologie CMOS FDSOI et les applications de puissance -

- [87] B. Wicht, "DCDC Converter Analog Building Blocks," in *Short Course of the Solid State Circuit Research Conference, 2014. ESSCIRC 2014*, 2014.
- [88] STMicroelectronics, "STA8090FG Fully Integrated GPS / Galileo / Glonass / BeiDou / QZSS Receiver with embedded RF and in-package Flash," *Fiche Tech. STMicroelectronics*, pp. 1–21, 2014.
- [89] Y. K. Choi, D. Ha, T. J. King, et al., "Investigation of gate-induced drain leakage (GIDL) current in thin body devices: Single-gate ultra-thin body, symmetrical double-gate, and asymmetrical double-gate MOSFETs," *Jpn. J. Appl. Phys.*, vol. 42, no. 4B, pp. 2073–2076, 2003.
- [90] F. Liu, I. Ionica, M. Bawedin, et al., "Extraction of the Parasitic Bipolar Gain Using the Back-gate in Ultrathin FD SOI MOSFETs," *IEEE Electron Device Lett.*, vol. 36, no. 2, pp. 96–98, 2015.
- [91] L. Gerrer, "Impact du claquage progressif de l'oxyde sur le fonctionnement des composants et circuits MOS : Caractérisation et modélisation," Thèse de doctorat, Université de Grenoble, 2006.
- [92] J. F. Verweij and J. H. Klootwijk, "Dielectric breakdown I: A review of oxide breakdown," *Microelectronics J.*, vol. 27, no. 7, pp. 611–622, 1996.
- [93] G. Ribes, "Caractérisation et fiabilité des oxydes ultra fins et des diélectriques à forte permittivité issue des technologies CMOS 45nm et en deçà," Thèse de doctorat, Université de Grenoble, 2005.
- [94] F. Morancho, *Physique et modélisation des composants et des circuits intégrés de puissance*. Lavoisier, 2007.
- [95] A. Nakagawa, Y. Kawaguchi, and K. Nakamura, "Achieving Material Limit Characteristics in Silicon Power Devices," in *Physics of Semiconductor Devices, 2007. IWPSD 2007. International Workshop on*, 2007, pp. 1–6.
- [96] M. Bawedin, C. Renaux, and D. Flandre, "LDMOS in SOI technology with very-thin silicon film," *Solid. State. Electron.*, vol. 48, no. 12, pp. 2263–2270, 2004.
- [97] C. Hu, "Optimum doping profile for minimum ohmic resistance and high-breakdown voltage," *IEEE Trans. Electron Devices*, vol. 26, no. 3, pp. 243–244, 1979.
- [98] M. Zitouni, F. Morancho, P. Rossel, et al., "A new concept for the lateral DMOS transistor for smart power IC's," in *11th International Symposium on Power Semiconductor Devices and ICs. ISPSD'99 Proceedings*, 1999, pp. 73–76.
- [99] G. Charitat, "Modélisation et réalisation de composants planar haute tension," Thèse de doctorat d'état de l'Université Paul Sabatier, 1990.
- [100] J. A. Appels and H. M. J. Vaes, "High voltage thin layer devices (RESURF devices)," in *Electron Devices Meeting, 1979. IEDM 1979. IEEE International.*, 1979, pp. 238 –241.
- [101] F. Morancho, "De nouvelles limites pour le compromis 'résistance passante spécifique/tenue en tension' des composants unipolaires de puissance," Mémoire de HDR, Université Paul Sabatier-Toulouse III, 2004.

- [102] Y. S. Huang and B. J. Baliga, "Extension of resurf principle to dielectrically isolated power devices," in *Power Semiconductor Devices and ICs, 1991. ISPSD'91., Proceedings of the 3rd International Symposium on*, 1991, pp. 27–30.
- [103] H. M. J. Vaes and J. A. Appels, "High voltage, high current lateral devices," in *IEDM Technical Digest. IEEE International Electron Devices Meeting*, 1980, pp. 87–90.
- [104] T. Fujihira, "Theory of Semiconductor Superjunction Devices," *Jpn. J. Appl. Phys.*, vol. 36, no. 10R, p. 6254, 1997.
- [105] F. Morancho, N. Cézac, a. Galadi, et al., "A new generation of power lateral and vertical floating islands MOS structures," *Microelectronics J.*, vol. 32, no. 5–6, pp. 509–516, 2001.

Chapitre 2

Etude de la faisabilité de MOS haute-tension en technologies SOI avancées

Le premier chapitre nous a permis de présenter les enjeux du développement de MOS haute tension en technologie CMOS FDSOI et de définir le transistor MOS à drain étendu comme un bon candidat. Dans ce chapitre, nous étudions la faisabilité de l'EDMOS en technologie SOI ultramince. Dans un premier temps, nous verrons que la technologie FDSOI présente une partie dite « hybride » qui offre la possibilité de transposer directement les architectures sur silicium massif préexistantes. Nous étudierons rapidement cette possibilité puis nous nous tournerons vers la transposition de l'EDMOS sur le film mince du substrat SOI pour bénéficier de ses avantages. Nous utiliserons des simulations TCAD pour appréhender les spécificités d'un tel substrat dans la conception d'un transistor MOS haute-tension. Enfin nous présenterons la caractérisation électrique d'échantillons d'EDMOS sur film mince que nous avons conçus dans le procédé de fabrication industriel 28nm FDSOI. Nous montrons qu'il est possible d'atteindre des compromis $R_{ON,S}/BV_{DS}$ prometteurs à l'aide d'implants dédiés à la haute tension.

2.1. Transposition de l'EDMOS dans la zone hybride

2.1.1. L'hybridation du substrat

La première option que nous allons étudier dans ce manuscrit pour le développement d'un MOS haute tension en technologie FDSOI est « l'hybridation » du substrat SOI.

Une ouverture locale dans l'oxyde enterré permet de définir une zone dite « hybride » offrant une zone de substrat massif dans le substrat SOI. La Figure 2.1 reproduite de [1] illustre l'hybridation du substrat SOI.

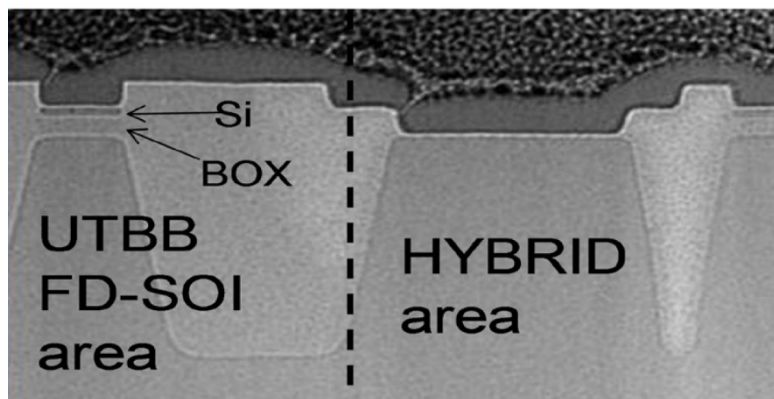


Figure 2.1: Coupe TEM issue de la littérature [1] montrant les zones de film mince sur BOX et hybride du substrat SOI.

Cette étape a été développée pour dégager une connexion avec le substrat notamment pour contacter et polariser les caissons en vue de l'ajustement de la tension de seuil des MOS digitaux. Elle offre par ailleurs une nouvelle solution pour l'intégration de composants additionnels à la plateforme digitale FDSOI. Elle facilite ainsi l'effort de développement et rend possible la transposition directe de circuits préexistants sur substrat massif [1]. On peut ainsi citer l'intégration de transistors bipolaires verticaux PNP, de capacités MOS variables (ou varactors) ainsi que de dispositifs de protection contre les décharges électrostatiques (ou ESD [2] de l'anglais « Electrostatic Discharge ») comme des thyristors (SCR) ou certaines diodes. Dans le nœud 14nm FDSOI, les surfaces supérieures des deux régions silicium, hybrides et SOI sont alignées grâce à une épitaxie d'ajustement après ouverture du BOX. En revanche, dans le nœud 28nm SOI aucune

épitaxie n'est effectuée après l'hybridation ce qui explique la marche que l'on peut observer entre les deux transistors sur la Fig. 2.2 [3].

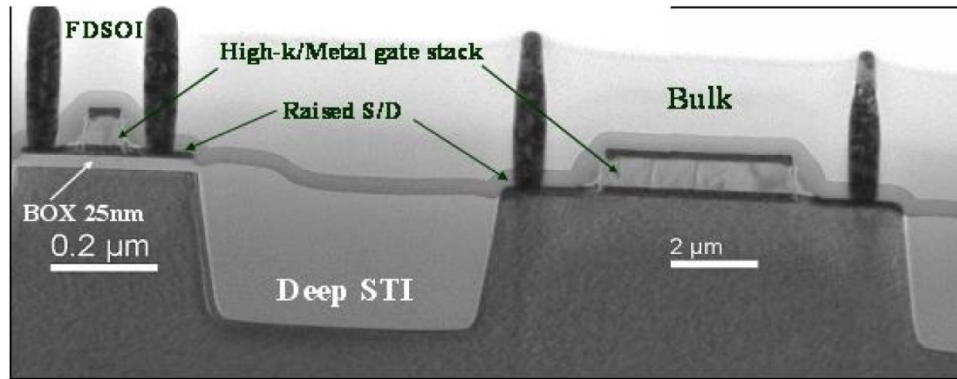


Figure 2.2: Illustration de la co-intégration de transistors MOS réalisés dans le film mince sur BOX et dans la zone hybride (d'après [3]).

Sans bénéficier des avantages d'un substrat SOI, nous allons, dans un premier temps, nous servir de cette zone hybride pour concevoir des EDMOS. Toujours dans une approche bas coût, nous privilégions les solutions de MOS haute tension sans ajout de masques lithographiques ou d'étapes supplémentaires dans le procédé de fabrication.

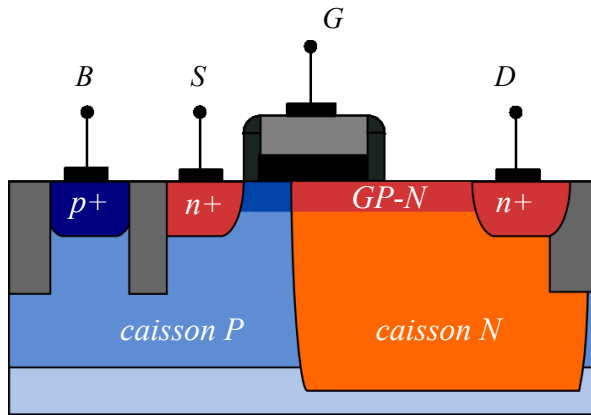
2.1.2. EDMOS dans la zone hybride du FDSOI

Les architectures hybrides d'EDMOS que nous avons envisagées sont dites « gratuites » et n'utilisent que les briques de procédé existantes dans la technologie FDSOI. Comme illustré sur la Figure 2.3, nous allons réaliser des transistors MOS haute tension de type P et N. Pour éviter le rajout d'étapes dédiées, nous nous servons des implants des caissons de type N et P pour réaliser respectivement les extensions de drain des N-EDMOS et P-EDMOS. Les canaux sont réalisés grâce aux implants caissons complémentaires P et N. Cette option bien que gratuite d'un point de vue du procédé présente deux principaux désavantages :

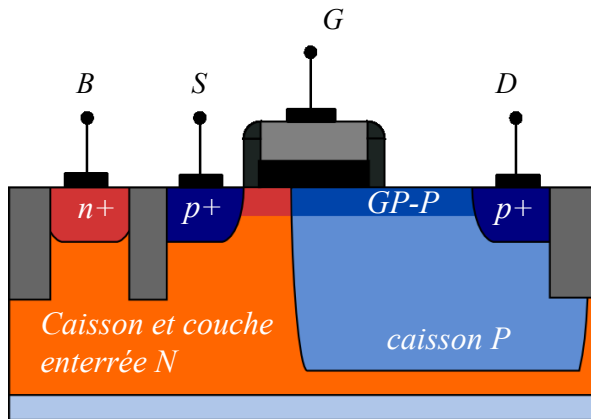
- Premièrement, l'utilisation des caissons impose la présence des implants utilisés pour la réalisation des Grounds Planes. Ces implants impliquent une concentration d'impuretés très grande ($N_{GP} \approx 10^{18} \text{ cm}^{-3}$) et vont avoir pour conséquence des extensions avec une

influence limitée sur la tenue en tension des dispositifs. Dans une telle configuration, le niveau de dopage du caisson va aussi contrôler la tension de seuil V_{TH} . Ces architectures et leurs performances sont donc fortement dépendantes des choix technologiques effectués sur la technologie FDSOI mère.

- Deuxièmement, l'utilisation du caisson de type N ne permet pas d'isoler nativement le N-EDMOS contrairement au P-EDMOS qui est isolé du substrat à l'aide d'une couche enterrée de type N. Pour répondre à ce problème, on pourrait envisager l'option « payante » qui consiste à utiliser un implant de surface dédié pour réaliser le drain étendu dans le caisson P. Dans ce cas, le caisson P du N-EDMOS est isolé à l'aide d'une couche enterrée de type N fortement dopée.



N-EDMOS Hybride gratuit



P-EDMOS Hybride gratuit

Figure 2.3: Schéma des architectures EDMOS hybride « gratuites » envisagées pour le développement en technologie FDSOI.

Nous avons conçu et dessiné les structures de test correspondantes pour évaluer cette solution simple et bas coût. Pour réaliser ces premiers échantillons, nous nous sommes basés sur les dimensions des EDMOS préexistants dans les nœuds avancés précédents.

La Figure 2.4a illustre les caractéristiques I_D - V_G mesurées sous une tension de drain $V_D=0.1V$ et $V_D=5V$.

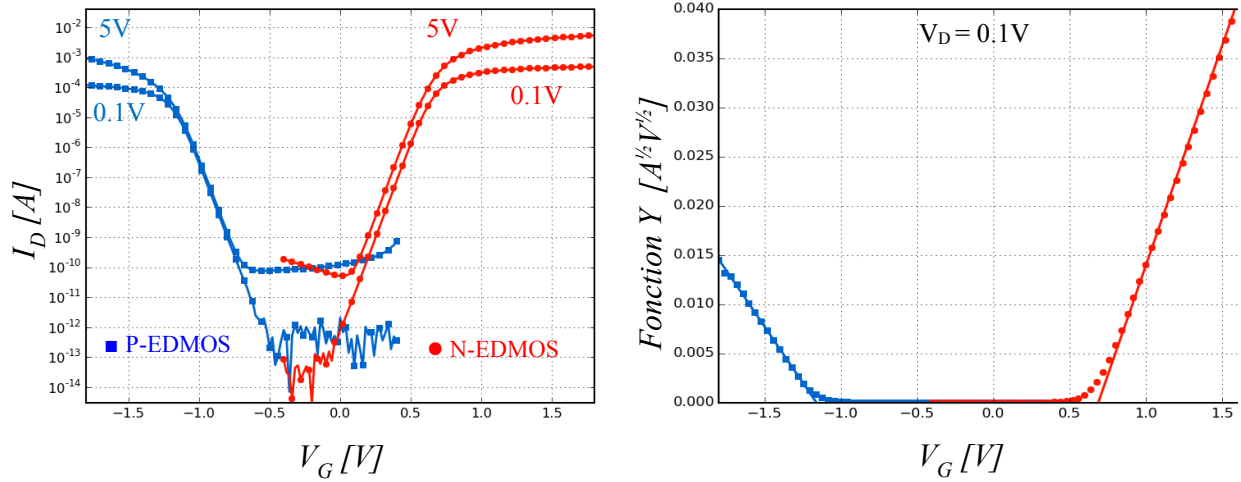


Figure 2.4: a) Caractéristiques de transfert I_D - V_G sous une tension de drain de 0.1V et 5V pour un P-EDMOS hybride gratuit (en symboles carrés bleus) et un N-EDMOS hybride gratuit (en symboles ronds rouges). b) Fonction Y.

Ces caractéristiques révèlent que ces EDMOS sont capables de tenir une tension de 5V avec un courant de fuite de l'ordre de quelques pico-ampères par micromètre de largeur. Ces performances confirment l'intérêt que nous avons porté lors de nos travaux à cette solution.

La Figure 2.4b montre la fonction $Y = I_D / \sqrt{g_m}$ où g_m est la transconductance. Cette fonction permet en régime ohmique ($V_D=0.1V$) d'extraire la tension de seuil par régression linéaire. Nous avons obtenu les tensions de seuil du P-EDMOS et du N-EDMOS ainsi que les DIBL correspondants (mesurés à $V_D=5V$) :

$V_{TH_P-EDMOS} = -1.16V$ $V_{TH_N-EDMOS} = 0.69V$	$DIBL_{P-EDMOS} = 13mV$ $DIBL_{N-EDMOS} = 55mV$
---	--

On observe une forte dissymétrie entre les tensions de seuil des EDMOS hybrides de type N et de type P. Ceci s'explique principalement par les niveaux de dopages des grounds planes P et N

qui sont différents, avec un GP-N plus fortement dopé que le GP-P. Cette différence impacte également la tenue en tension des transistors (Tableau 2.1).

Tableau 2.1 : Impact du dopage des caissons sur les caractéristiques des EDMOS hybrides.

Impact sur les paramètres	GP-N : dopage fort	GP-P : dopage faible
Tension de seuil V_{TH}	Augmente $V_{TH_P_EDMOS}$ ▲	Diminue $V_{TH_N_EDMOS}$ ▼
Courant linéaire I_{LIN}	Augmente $I_{LIN_N_EDMOS}$ ▲	Diminue $I_{LIN_P_EDMOS}$ ▼
Tenue en tension	Détériore BV_{N_EDMOS} ▼	Améliore BV_{P_EDMOS} ▲

La dégradation de la tenue en tension dans le cas du N-EDMOS est visible sur la Figure 2.5 qui illustre les courants mesurés sur le drain (I_D) et la source (I_S) pour des tensions de grille $V_G = \{0V, V_{DD}/2, V_{DD}\}$.

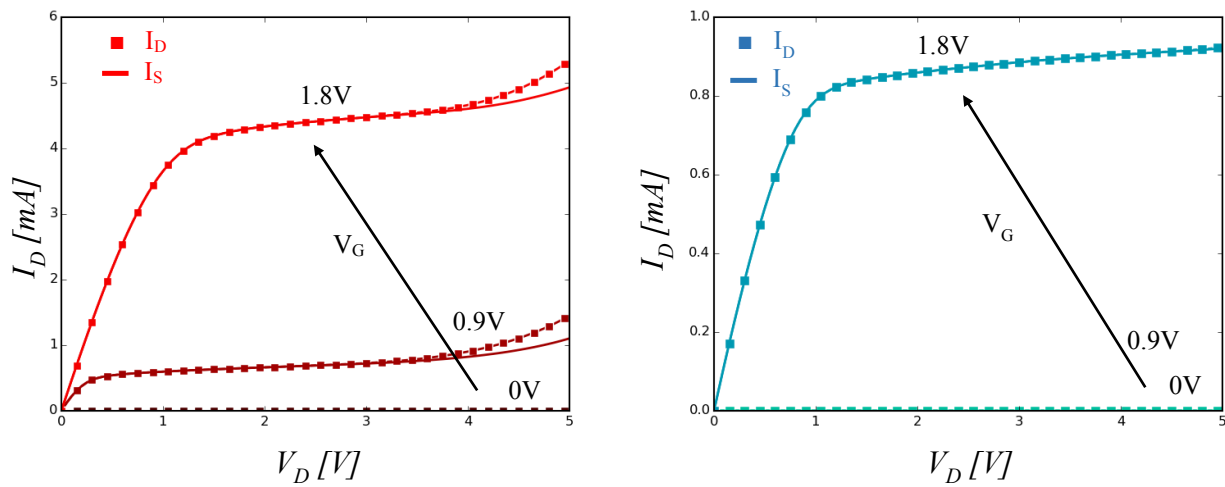


Figure 2.5: Mesures des courants I_D et I_S en fonction de la tension de drain pour plusieurs tensions de grille : a) N-EDMOS et b) P-EDMOS.

Nous pouvons voir un décollage du courant I_D par rapport à I_S (Figure 2.5a). Ce décollage s'explique par la génération de paires électrons-trous par le phénomène d'ionisation par impact sous un fort champ électrique : les électrons générés viennent amplifier le courant de drain.

Le courant de caisson I_B mesuré sur la prise B du transistor est constitué des trous ainsi générés. Nous illustrons ce courant sur la Figure 2.6 dans les configurations correspondantes aux mesures précédentes (Figure 2.5).

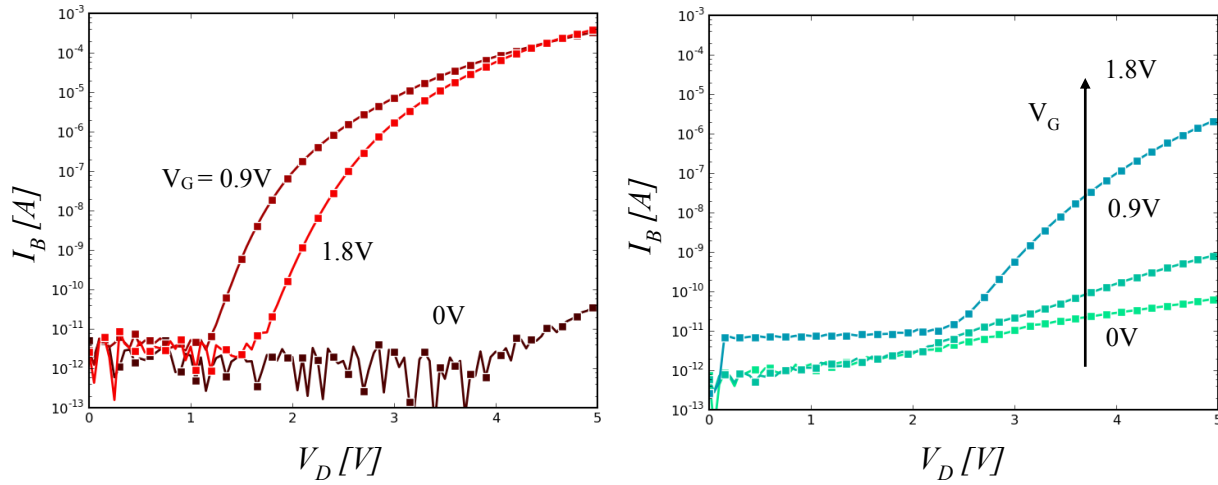


Figure 2.6: Mesures des courants I_B en fonction de la tension de drain: a) N-EDMOS et b) P-EDMOS.

La différence de courant I_B observée entre le P et N-EDMOS est de l'ordre de 2 décades à fort V_D . La différence entre les deux types de transistors peut s'expliquer d'une part par un niveau de dopage de l'extension (caisson N) plus fort dans le cas N-EDMOS, et d'autre part, par des coefficients d'ionisation par impact $\alpha_{n,p}$ et des vitesses des porteurs plus faibles pour les trous que pour les électrons [4], [5]. Ces mesures révèlent que l'extension du N-EDMOS est trop dopée pour assurer une chute de potentiel adéquate entre le drain et la grille. Le courant de substrat plus fort à $V_G=0.9V$ qu'à $V_G=1.8V$ s'explique par une saturation du transistor plus rapide à faible V_G et donc un champ latéral plus fort en bord de canal pour un V_D donné.

Nous résumons dans le Tableau 2.3 les résultats obtenus avec les EDMOS gratuits dans l'hybride sans aucune modification du procédé FDSOI :

Tableau 2.2 : Résultats obtenus avec des échantillons fabriqués en technologie FDSOI

Paramètres Electriques	P-EDMOS	N-EDMOS
Longueur de l'extension	400nm	400nm
Tension de seuil	-1.16V	0.69V
DIBL (5V)	13mV	55mV
Courant de fuite I_{OFF} ($I_D=5V$)	~ 10 pA/ μm	< 10 pA/ μm
Courant à l'état passant I_{ON}	92 $\mu A/\mu m$	534 $\mu A/\mu m$
Courant linéaire I_{LIN}	11.7 $\mu A/\mu m$	48.5 $\mu A/\mu m$
Résistance $R_{ON,S}$	8.17 m Ω .mm ²	1.98 m Ω .mm ²
Tenue en tension ($V_G=V_{DD}$)	$>5V$	$\sim 4V$
Tenue en tension ($V_G=0V$)	$>5V$	$>5V$

Ces résultats confirment la possibilité d'obtenir des MOS haute tension à bas coût dans la partie hybride du substrat. On peut alors envisager plusieurs pistes d'améliorations comme la diminution des dimensions du P-EDMOS (notamment celle de l'extension) ou encore les modifications des conditions d'implantation du caisson N. Cette dernière proposition permettra de tenir une tension plus élevée pour le N-EDMOS tout en abaissant le V_{TH} du P-EDMOS. Dans cet objectif, nous avons conduit des essais et réduit la longueur de l'extension de drain du P-EDMOS jusqu'à 300nm. Ceci nous a permis de gagner 15% sur le $R_{ON.S}$ en atteignant 7.06 m Ω .mm² soit 14% de gain (pour un encombrement réduit d'environ 10%). Des modifications de conditions d'implants des caissons ont également été envisagées pour la technologie 14nm FDSOI en développement au moment de la rédaction de ce manuscrit.

2.2. Etude théorique de la transposition de l'EDMOS sur SOI

L'utilisation de l'hybridation du substrat est une piste intéressante pour implémenter des dispositifs haute tension en technologie FDSOI. En revanche, cette solution est fortement dépendante des évolutions de la technologie et nécessite des solutions d'isolations supplémentaires. Afin de bénéficier des avantages apportés par le substrat SOI comme des capacités et des courants de fuite restreints, ou encore l'isolation apportée par le diélectrique enterré, nous allons étudier la réalisation d'un MOS haute tension dans le film du substrat SOI ultramince.

2.2.1. Problématique du SOI mince pour les MOS haute tension

Il existe de nombreuses études concernant l'intégration de MOS haute tension en technologies SOI dans une large gamme de tensions allant de 15V à plus de 600V [6]–[12]. Elles mettent en avant les différentes spécificités et améliorations qui permettent au SOI d'atteindre de bonnes performances en terme de $R_{ON.S/BV}$, y compris dans des technologies aux épaisseurs de silicium

très fines, i.e. en deçà de 100nm [13], [14]. Cependant, l'utilisation de SOI minces présente certaines spécificités qui de premier abord ne vont pas dans le sens des performances.

▪ **Résistance forte du film de silicium :**

Dans la technologie FDSOI, l'épaisseur du film de silicium est inférieure ou égal à 25nm. Au premier ordre, l'augmentation de la résistance linéaire en fonction de l'épaisseur du film est donnée par la relation simple suivante :

$$R_{linéaire}[Ohm.m^{-1}] = \rho \cdot \frac{1}{S} = \rho \cdot \frac{1}{t_{Si} \cdot W} \text{ où } \rho \text{ est la résistivité du silicium et } S \text{ la section.}$$

Par rapport aux travaux réalisés en 65nm SOI [13], où l'épaisseur est de 70nm, on peut donc s'attendre à une augmentation de la résistance d'environ un facteur 3 (en négligeant les phénomènes de réduction de mobilité). A priori, il faudra donc utiliser des dopages plus élevés pour compenser cette augmentation de la résistance linéaire.

▪ **Effet kink (cf. section 1.2.2) :**

Les études d'intégration de MOS haute tension sur SOI les plus avancées [13]–[15] (en terme de finesse substrat) rapportent la présence de l'effet kink dû à l'accumulation des porteurs majoritaires dans le body. Il y est démontré que cet effet kink peut être limité par l'utilisation de « contacts de body ». Ceux-ci sont réalisés par l'implantation d'inclusions P+ dans la source N+ du dispositif (cas N-MOS) afin de collecter les trous générés en excès et d'éviter l'auto-polarisation du substrat. Dans le cas du FDSOI, comme le taux de recombinaison est augmenté et comme le film mince ne permet pas l'accumulation de porteurs, on s'attend à une atténuation de cet effet.

▪ **Réduction des tensions de claquage avec les épaisseurs :**

Malgré la possibilité de bénéficier d'un effet RESURF sur SOI (cf. section 1.2.3), de nombreuses études révèlent l'impact négatif de la réduction des épaisseurs d'oxyde enterré et de silicium sur la tenue en tension [16], [17]. Cette dépendance n'est cependant pas triviale car l'effet RESURF permet d'atteindre une tenue en tension maximale différente pour chaque couple (t_{Si} , t_{BOX}) auquel correspond un dopage optimal (N_{OPT}). Pour améliorer cet effet, des études proposent des techniques comme l'utilisation d'un oxyde de champ, d'un gradient linéaire de dopage,

d'épaisseurs de silicium ou de BOX progressives, ou de façon équivalente d'une répartition graduelle de la constante diélectrique de l'oxyde enterré [18]. L'utilisation de telles techniques vise à accompagner la distribution du champ électrique dans la zone de dérive, à le lisser afin de tendre vers une valeur constante qui maximise la tenue en tension tout en réduisant la résistance à l'état passant.

Il faut noter que depuis les études [13]–[15] aucun autre travail n'a récemment été publié sur le développement de MOS haute tension sur SOI ultramince (i.e. $t_{Si} < 50\text{nm}$) (Figure 2.7).

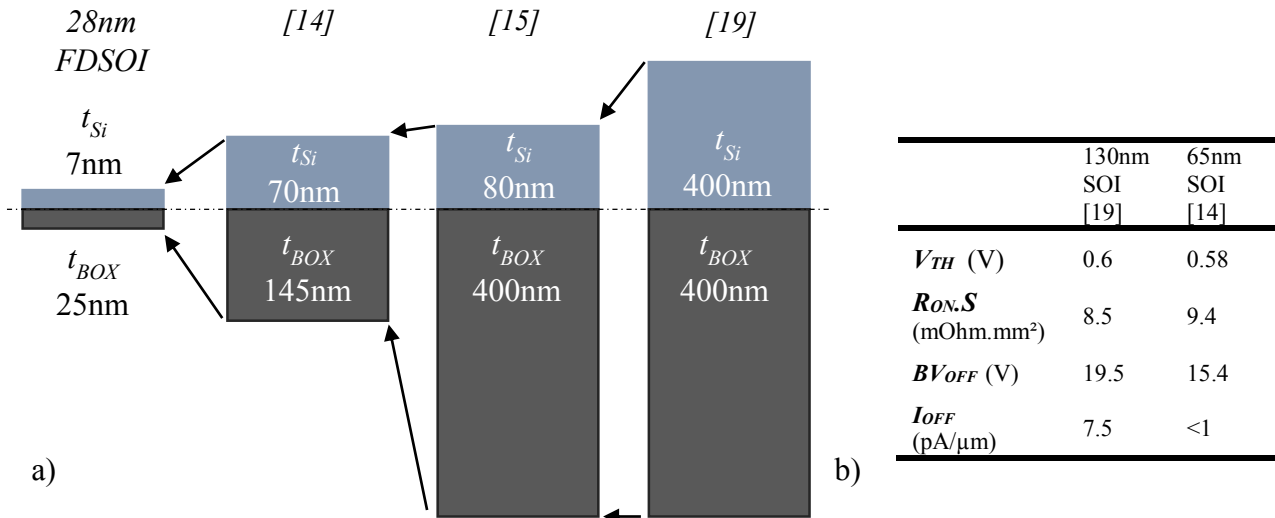


Figure 2.7: a) Evolution des épaisseurs du substrat SOI dans les dernières études menées sur l'intégration d'un MOS haute tension sur SOI ultramince. b) Performances obtenues dans les travaux précédents.

Nous constatons ainsi un facteur de réduction allant jusqu'à 10 sur l'épaisseur de silicium (t_{Si}) et jusqu'à 6 sur l'épaisseur du BOX (t_{BOX}) entre les dernières épaisseurs rapportées et les épaisseurs des technologies FDSOI sur lesquels se sont portés ces travaux.

2.2.2. Impact de la réduction des épaisseurs: approche analytique

Pour évaluer l'impact d'une réduction aussi agressive des épaisseurs sur les performances de l'EDMOS sur SOI mince, nous nous basons dans un premier temps sur des modèles analytiques proposés dans les études [19], [20]. Le modèle [19] permet de déterminer les profils de potentiel et de champ électriques latéral en surface de silicium dans la zone d'extension de drain d'un MOS

haute tension sur SOI mince. La tension de claquage en est déduite en se basant sur un calcul d'intégrale d'ionisation par impact. Nous appliquons alors ce modèle aux conditions de la technologie 28nm FDSOI.

La Figure 2.8 montre les profils de potentiel et de champ calculés pour un $t_{BOX}=25nm$ et un $t_{Si}=23nm$ correspondant à l'épaisseur obtenue en 28nm FDSOI après l'épitaxie des régions de source et de drain. Les profils sont obtenus pour une tension de drain de 9V ce qui correspond à la tension en claquage du dispositif, calculée pour un dopage de $10^{18}cm^{-3}$. Ce calcul est effectué à l'aide de la méthode de l'intégrale d'ionisation par impact [4], [19] :

$$BV_{DS} = V_{DS} \text{ tel que } \int_0^L \alpha_{EFF}(V_{DS}) \cdot dx = 1 \text{ avec } \alpha_{EFF} = 1.8 \cdot 10^{-35} \cdot E_x(V_{DS})$$

où $E_x(V_{DS})$ est le champ latéral créé par une polarisation de drain V_{DS}

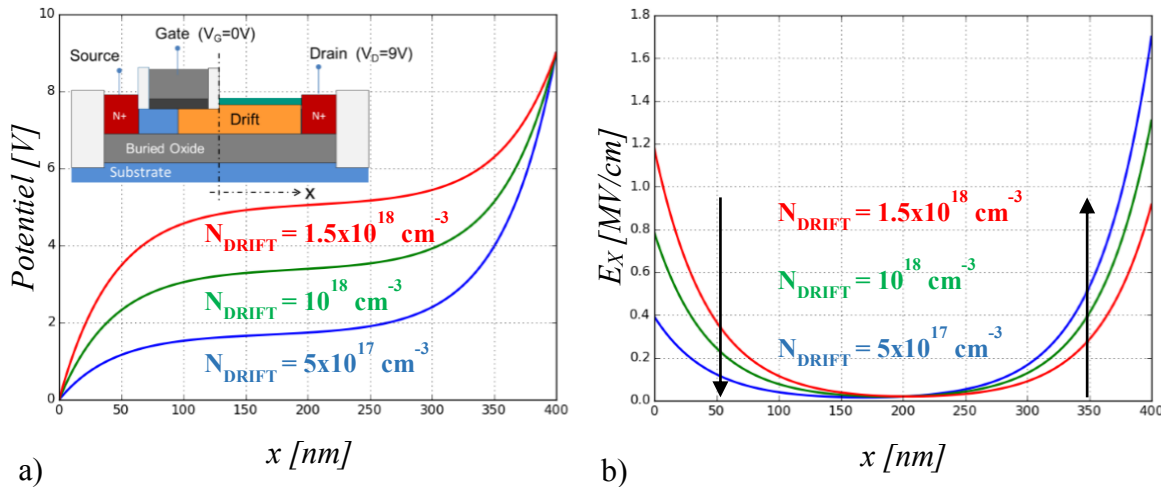


Figure 2.8: a) Profil de potentiel et b) et de champ électrique latéral E_x obtenu en adaptant le modèle [19] aux conditions du 28nm FDSOI : $t_{Si}=23nm$, $t_{BOX}= 25nm$, $L_{DRIFT}=400nm$. L'épaisseur de t_{Si} tient compte de l'épitaxie.

Indépendamment de son dopage (Figure 2.8) ou de sa longueur (Figure 2.9), l'extension de drain n'est capable que de soutenir une tension relativement faible. En effet, le profil de potentiel est très plat tout au long de la zone d'extension de drain à l'exception de ses extrémités où de forts pics de champ électrique règnent (Figure 2.8) et limitent la tenue en tension. Si on augmente le niveau de dopage depuis un dopage faible ($N_{DRIFT} = 5 \cdot 10^{17} cm^{-3}$) vers un dopage plus fort ($N_{DRIFT} = 1.5 \cdot 10^{18} cm^{-3}$), le niveau de champ électrique latéral dans la zone de dérive n'augmente pas et le

gradient de potentiel reste constant. Seule la localisation du champ maximal bascule depuis la transition au niveau du drain vers le coin de la grille. Un dopage optimal ($N_{\text{DRIFT}} \sim 1.5 \cdot 10^{18} \text{ cm}^{-3}$) est obtenu lorsque les deux pics de champs sont équilibrés.

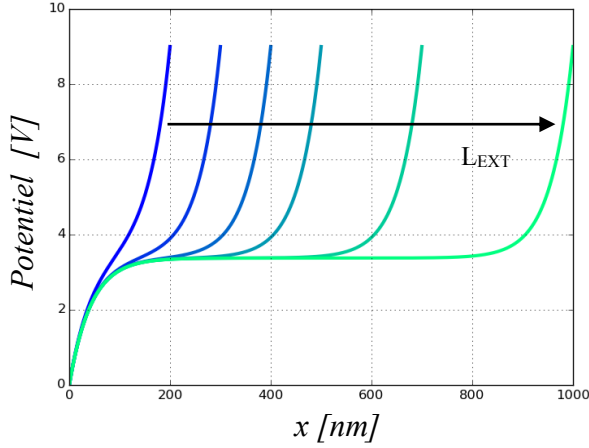


Figure 2.9: Profil de potentiel en surface du silicium sous une polarisation de drain de 9V calculé dans la région de dérive d'un LDMOS sur SOI pour différente longueur L_{EXT} ($t_{\text{Si}}=23\text{nm}$, $t_{\text{BOX}}=25\text{nm}$).

La Figure 2.9 illustre la répartition du potentiel dans la zone d'extension de drain pour différentes longueurs (L_{EXT}). Comme nous pouvons le voir, ce dernier paramètre n'a que peu d'influence sur le niveau du plateau de potentiel et le champ est quasi-nul au centre de l'extension. Pour voir disparaître ce plateau de potentiel, augmenter le champ électrique et commencer à supporter une tension plus grande, il faut des épaisseurs de silicium ou d'oxyde enterré plus importantes. La Figure 2.10 montre comment ces épaisseurs influent sur la tenue en tension du dispositif.

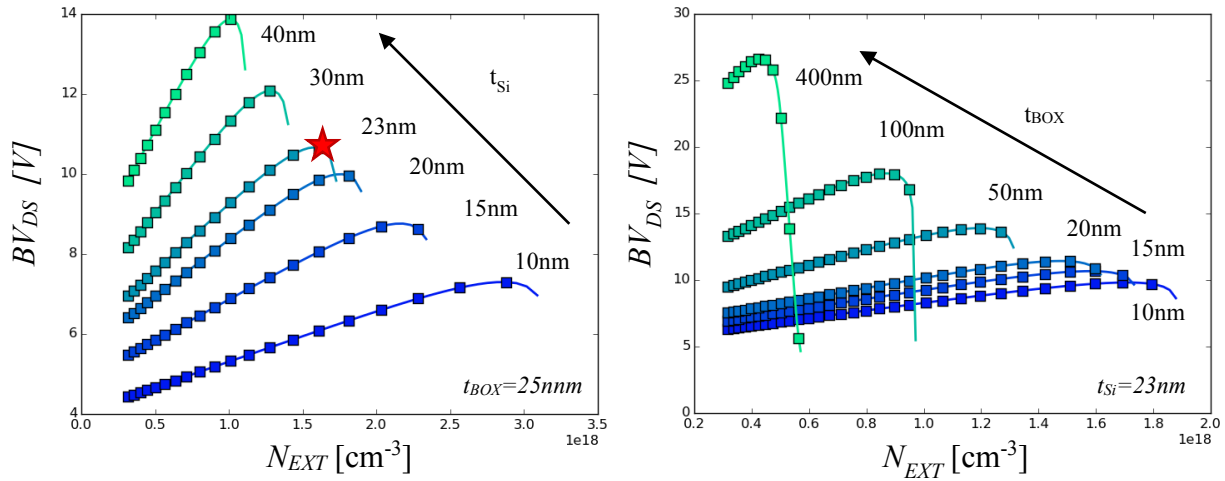


Figure 2.10: Impact des épaisseurs du a) film et du b) BOX sur la tenue en tension. La longueur de la zone de drift est de 400nm. L'étoile correspond à la tenue en tension maximale dans le nœud 28 nm FDSOI, selon ce modèle.

Selon l'approche analytique, la tenue en tension maximale en 28nm FDSOI avec un dopage optimal qui dépend de t_{Si} et t_{BOX} est de l'ordre de 10V. Ce résultat théorique ($BV_{DS} \gg 5V$) est cohérent avec l'objectif visé par nos applications. Ces modèles révèlent également la répartition atypique du champ électrique dans un film mince. Ils permettent de prendre conscience de la nécessité de bien tenir compte de cette répartition dans l'optimisation du dispositif.

2.2.3. Simulations numériques de l'EDMOS sur SOI

2.2.3.1. Environnement de simulation

Le nœud technologique 28nm FDSOI présente un film ultramince de silicium $t_{Si}=7nm$ reposant sur oxyde enterré ayant une épaisseur $t_{BOX}=25nm$ [21]. Une épitaxie intrinsèque est par ailleurs réalisée sur toutes les parties actives non recouvertes par une grille, augmentant l'épaisseur totale de silicium à $t_{EXT} = t_{Si} + t_{Epi} = 7 + 16 = 23nm$ dans les zones d'extension de drain, de source et de drain. Comme un EDMOS sur substrat massif, la zone de dérivation (de longueur L_{EXT}) est protégée de la siliciuration par un oxyde de protection dit « RPO » (pour « Resist Protect Oxide »). La grille est réalisée avec un empilement high-K/métal ($CET=3.7nm$) adapté pour fonctionner sous la tension d'alimentation des MOS digitaux à oxyde épais ($V_{DD}=1.8V$). Elle contrôle un canal non dopé nativement de type-P ($N_A \approx 10^{15} cm^{-3}$). Par ailleurs, une zone de recouvrement de la grille sur la zone de dérivation ou « overlap » (OV) est introduite afin d'améliorer la résistance aux porteurs chauds [22]. La structure repose sur un Ground Plane de type P ($N_{GPP} \approx 10^{18} cm^{-3}$) connecté à travers une prise dans une zone hybride dédiée (B1). La Figure 2.11 illustre la structure de l'EDMOS sur SOI.

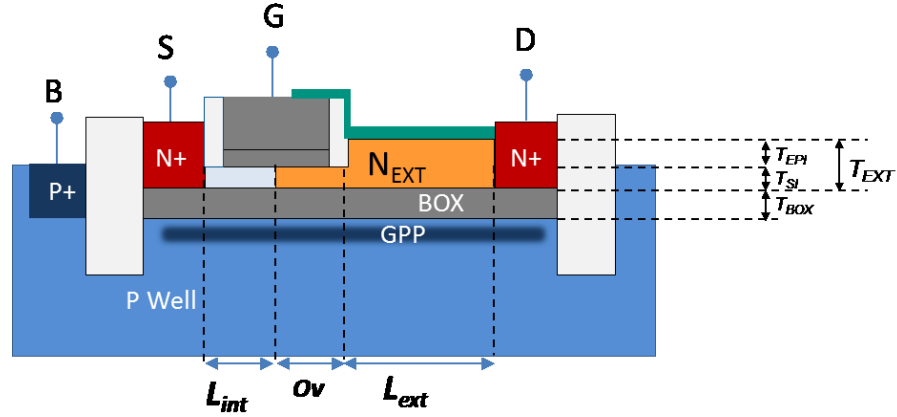


Figure 2.11: Structure d'EDMOS simulée en technologie 28nm FDSOI.

Grâce à des simulations numériques, nous avons étudié le comportement de l'architecture EDMOS réalisée en 28nm FDSOI en termes de tenue en tension et du courant de fuite. Ces simulations sont réalisées à l'aide du logiciel de « *technology computer aided design* » (T.C.A.D) Sentaurus de l'éditeur Synopsys [23].

Les simulations ont été réalisées à température ambiante ($T = 300$ K), en utilisant le modèle standard de transport de « dérive-diffusion ». Pour prendre en compte les générations-recombinaisons de porteurs, nous utilisons les recombinaisons « Auger » et le modèle de « Shockley-Read-Hall » (SRH) [24], [25], des modèles de génération par effet bande à bande (Shenck) [26] et d'ionisation par impact (VanOverstraeten) [5]. Nous considérons ce dernier modèle en raison de sa validité confirmée dans des travaux récents sur SOI mince [14], [27]. L'auto-échauffement n'est pas activé en raison de la faiblesse de la puissance dissipée à l'état bloqué.

2.2.3.2. Effet du niveau de dopage N_{EXT}

La tension de claquage BV_{DS} est extraite sur les caractéristiques I_D-V_D ainsi simulées pour une tension de grille avant $V_G = 0V$ et de grille arrière $V_{B1} = 0V$ à une densité de courant constante $I_{BV} = 10^{-8}$ A/um. Le courant de fuite est extrait à une tension de drain $V_D = 5V$. Les résultats sont résumés sur la Figure 2.12.

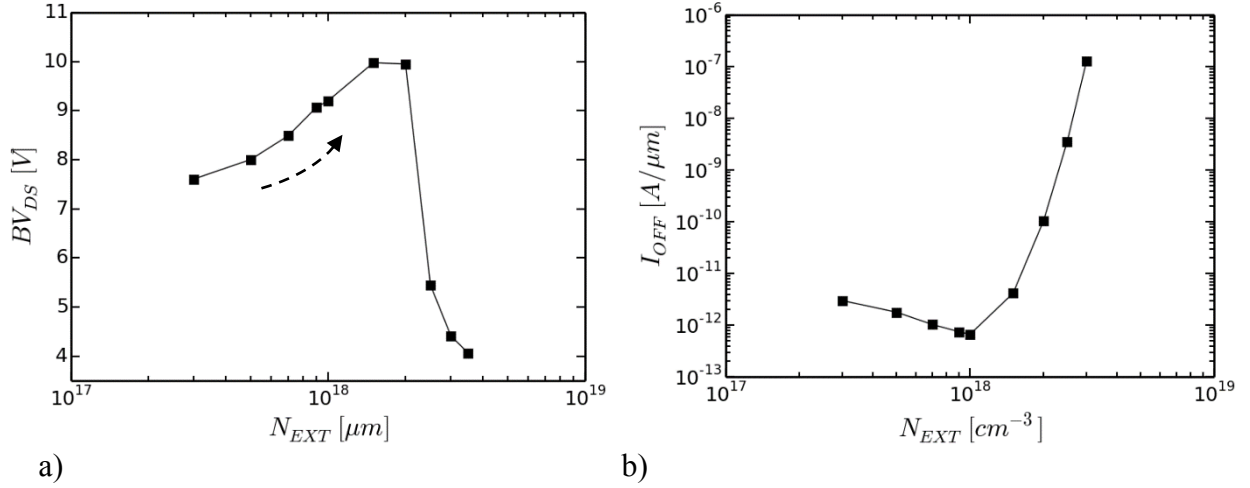


Figure 2.12: Simulation de l'impact du niveau de dopage de la zone d'extension de drain sur a) la tenue en tension (BV_{DS}) et b) le courant de fuite (I_{OFF}) pour $L_{EXT}=350nm$, Ground Plane de type P, $V_B=0V$.

Comme attendu [13], [14], la tension de claquage augmente avec la concentration d'impuretés jusqu'à atteindre une valeur optimale proche de 10V. Pour un dopage faible, le claquage est induit par un fort pic de champ électrique au niveau de la transition du drain. Quand la concentration d'impuretés augmente, le champ s'étale dans la zone de dérive : le pic de champ électrique côté drain est réduit et la tenue en tension augmente (Figure 2.13). En contrepartie, le champ augmente dans la région du coin de la grille. A partir d'une densité de dopage critique ($N_{EXT} \sim 1.10^{18} \text{ cm}^{-3}$), le courant de fuite augmente et la tenue en tension commence à diminuer. Une tenue en tension maximale $BV_{DS} \sim 10V$ est trouvée pour un dopage uniforme de l'ordre de $N_{EXT} \sim 1.5-2.10^{18} \text{ cm}^{-3}$.

La Figure 2.13 illustre le basculement du champ électrique au claquage ($V_D = BV_{DS}$) depuis la transition entre la zone de dérive et le drain jusqu'au coin de grille avec trois niveaux de dopages différents:

- faible ($N_{EXT} = 3.10^{17} \text{ cm}^{-3}$)
- optimum ($N_{EXT} = 1.5.10^{18} \text{ cm}^{-3}$)
- fort ($N_{EXT} = 3.10^{18} \text{ cm}^{-3}$)

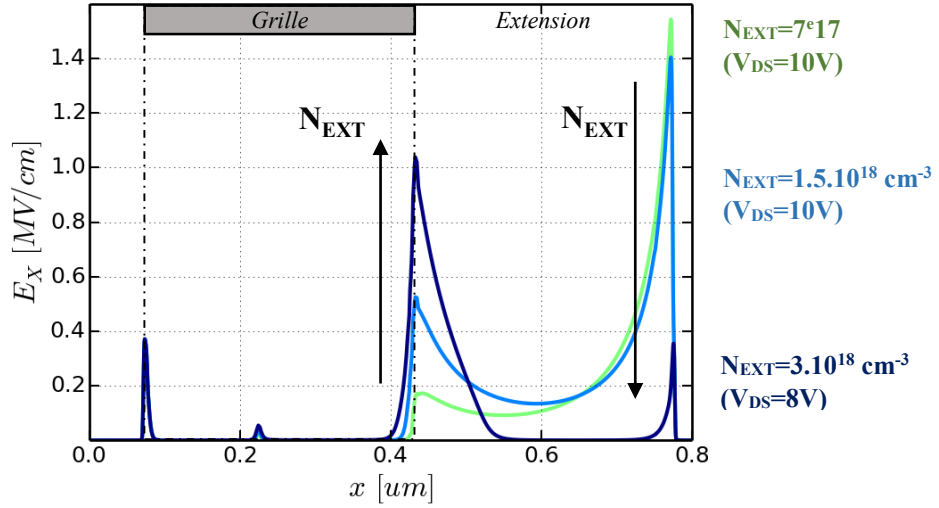


Figure 2.13: Profil du champ électrique latéral simulé dans l'extension de drain de l'EDMOS à l'état bloqué en fonction du niveau de dopage pour $L_{EXT}=350\text{nm}$, un Ground Plane de type P, $V_B=0\text{V}$.

2.2.3.3. Effet de la longueur L_{EXT}

Différentes simulations ont été réalisées dans les mêmes conditions en faisant varier la longueur de la zone d'extension (L_{EXT}) entre l'empilement de grille et le drain. Les résultats sont donnés dans la Figure 2.14.

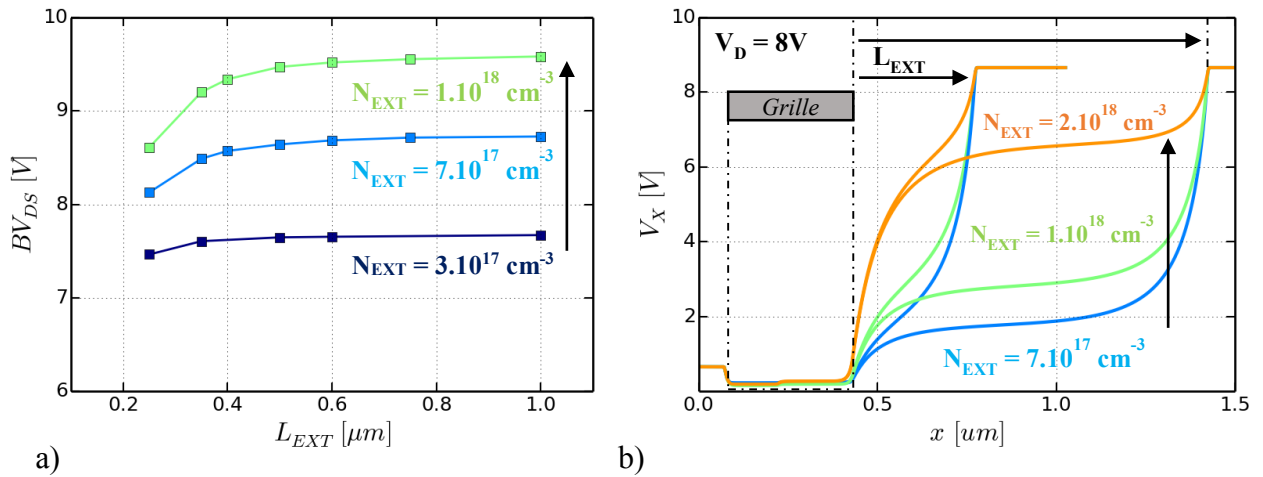


Figure 2.14: a) Impact de la longueur de la zone d'extension de drain sur l'évolution de la tenue en tension et b) profil de potentiel dans le film de silicium à l'état bloqué pour un Ground Plane de type P, $V_B=0\text{V}$. (Simulations).

La faible augmentation de la tension de claquage (BV_{DS}) confirme les tendances observées (Fig. 2.14 a). En raison de la finesse de l'oxyde enterré et du film de silicium, le champ électrique est très faible dans la zone d'extension et le profil de potentiel associé très plat pour des longueurs importantes (Fig. 2.14 b). Ainsi la tenue en tension devient très vite limitée par les pics de champ E_X aux extrémités et dépend peu de L_{EXT} sauf pour des longueurs en dessous des 400 nm.

2.2.3.4. Effet de la tension de grille arrière

Pour étudier l'impact de la grille arrière ($B1$) sur les performances de l'EDMOS sur SOI, des simulations supplémentaires sont réalisées en faisant varier la tension V_{B1} du GP de type P (Fig. 2.15). On note que la tenue en tension est modulée par V_{B1} selon le niveau de dopage (Fig. 2.15a). Pour une gamme de dopage proche de l'optimum ($\sim 1.10^{18} \text{cm}^{-3}$), une tension V_{B1} négative permet, dans un premier temps, d'augmenter légèrement BV_{DS} (Fig. 2.15a) et de réduire le courant de fuite I_{OFF} en augmentant la tension de seuil du transistor MOS (Fig. 2.15b). Cependant, dans un second temps, avec une tension V_{B1} de plus en plus négative, I_{OFF} croît de nouveau et BV_{DS} commence à diminuer. A l'inverse, une tension V_{B1} positive accroît le courant de fuite en abaissant la tension de seuil du transistor intrinsèque et BV_{DS} est d'autant plus réduit que le dopage est fort.

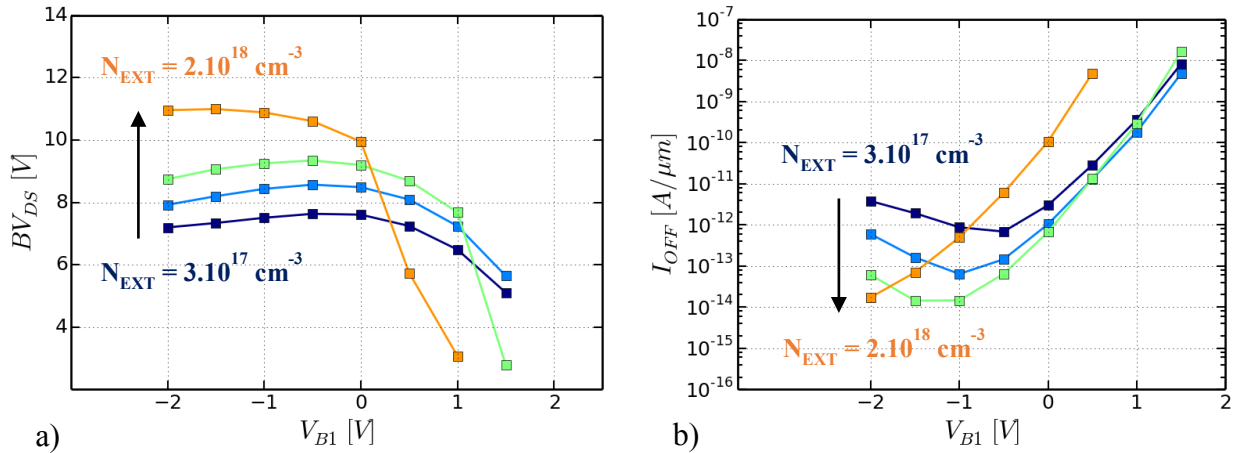


Figure 2.15: Impact de la tension de face arrière sur a) la tenue en tension (BV_{DS}) et b) le courant de fuite (I_{OFF}) pour $L_{EXT}=350\text{nm}$, GP-P, $V_{B1}=0\text{V}$ pour $N_{EXT}=3.10^{17}\text{cm}^{-3}$ / 7.10^{17}cm^{-3} / 1.10^{18}cm^{-3} / 2.10^{18}cm^{-3} . (Simulations).

L'impact de V_{B1} sur la répartition à l'état bloqué des lignes de potentiel dans la zone d'extension de drain permet d'expliquer ce comportement (Fig. 2.16). On note qu'une tension V_{B1}

négative conduit à une compression des lignes équipotentiellles (verticalement) dans l'oxyde enterré et (horizontalement) dans le film de silicium au niveau de la zone transition de dérivation/drain. Le champ électrique latéral dans cette zone augmente et à l'inverse le champ en bord de grille diminue. Ainsi une tension V_{B1} négative agit sur l'électrostatique de la zone d'extension de drain à la manière d'une réduction du niveau de dopage. On trouve dans la littérature sur les transistors MOS haute tension des techniques utilisant une tension de grille négative à travers un oxyde de champ pour compenser l'effet d'un dopage N_{EXT} fort sur le champ électrique [18]. A l'inverse, une tension de grille $V_{B1} > 0V$ permet de « décompresser » les lignes équipotentiellles dans l'oxyde enterré et dans le silicium permettant de rééquilibrer le champ électrique au niveau de la zone de transition du côté de drain notamment dans le cas d'un dopage trop faible (Fig. 2.16).

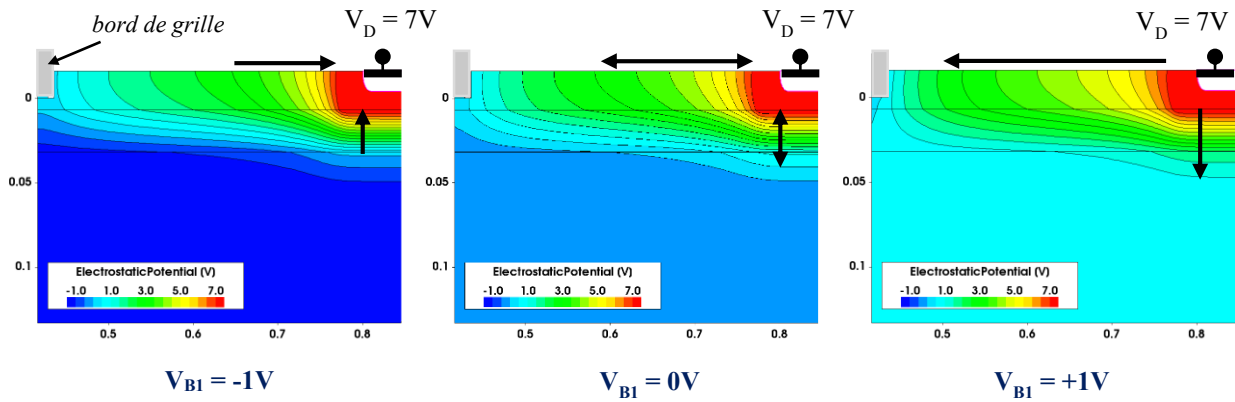


Figure 2.16: Répartition des lignes équipotentiellles obtenues par simulation en fonction de la tension de face arrière à l'état bloqué pour une tension de drain de 7V, $N_{EXT}=1.10^{18} \text{ cm}^{-3}$, $L_{EXT}=350\text{nm}$, GP-P. (Simulations).

Des simulations complémentaires sont réalisées pour étudier l'impact du niveau de dopage de la face arrière dans les 3 cas suivants (Fig. 2.17):

- d'un GP non connecté (flottant).
- d'un substrat non dopé et connecté (sans GP).
- GP non dopé et flottant (sans GP).

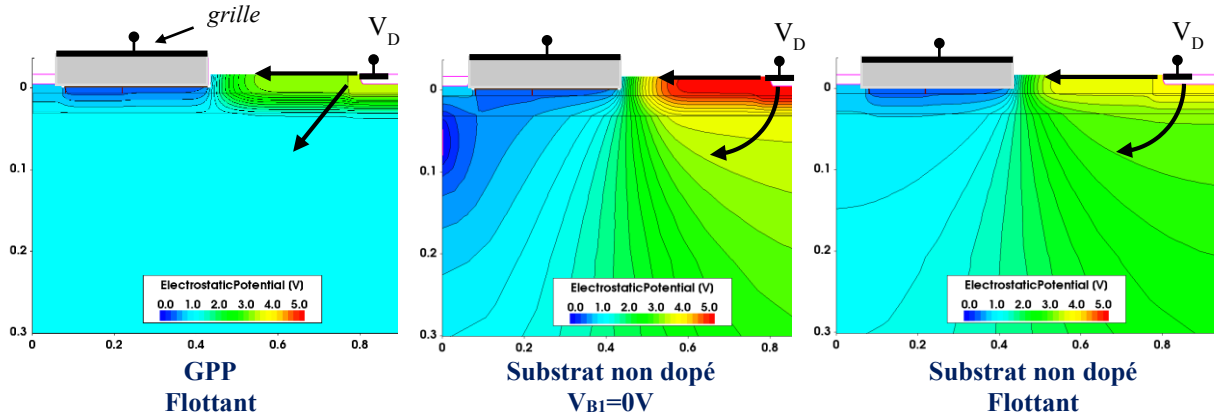


Figure 2.17: Etude de l'impact du dopage et de la connexion du substrat sur la répartition du potentiel à l'état bloqué pour une tension de drain correspondant à un courant de fuite $I_{OFF}=I_{BV}=1.10^{-8}A/\mu m$ avec $N_{EXT}=1.10^{18} cm^{-3}$, $L_{EXT}=350nm$, GP-P. (Simulations).

Lorsque le GP n'est pas connecté et/ou le substrat est non dopé, les simulations révèlent que les lignes équipotentiellles peuvent s'étaler depuis le drain dans le substrat et dans la zone d'extension de drain. Les lignes se compriment au niveau du coin de la grille. Un fort champ électrique apparait pour une faible tension de drain V_D et la génération de porteurs augmente limitant la tenue en tension. Cet effet est renforcé par la pénétration de la polarisation de drain dans le substrat à travers l'oxyde enterré. De plus, le substrat sous la grille est polarisé positivement et abaisse la tension de seuil du MOS intrinsèque, ce qui va dans le sens d'une augmentation du courant de fuite I_{OFF} . On retrouve un phénomène voisin dans la notion de « Fringing Field » décrit par [28] dans le cas d'un MOS sur substrat SOI résistif.

2.2.3.5. Impact des épaisseurs du substrat

L'impact des épaisseurs physiques du substrat t_{Si} et t_{BOX} sur les performances de l'EDMOS est illustré sur les Figures 2.18 et 2.19. Comme envisagé dans la section précédente, un oxyde enterré plus épais (plus fin) permet de décompresser (compresser) verticalement et horizontalement les lignes de champ du côté du drain pour un dopage N_{EXT} donné. Ainsi, pour une épaisseur plus grande $t_{BOX2} > t_{BOX1}$, la répartition optimale du champ électrique sera atteinte pour un niveau de dopage plus faible $N_{EXT2} < N_{EXT1}$. Cependant le MOS intrinsèque présentera un courant de fuite plus fort en raison d'un moins bon contrôle électrostatique (Figure 2.18b). Malgré une tenue en tension limitée par un oxyde enterré fin, l'effet décrit ci-dessus joue en la faveur de

l'intégration sur SOI ultramince : il permet pour atteindre le BV_{DS} maximal de « sur-doper » le film de silicium de faible épaisseur, ce qui abaissera sa forte résistance linéaire.

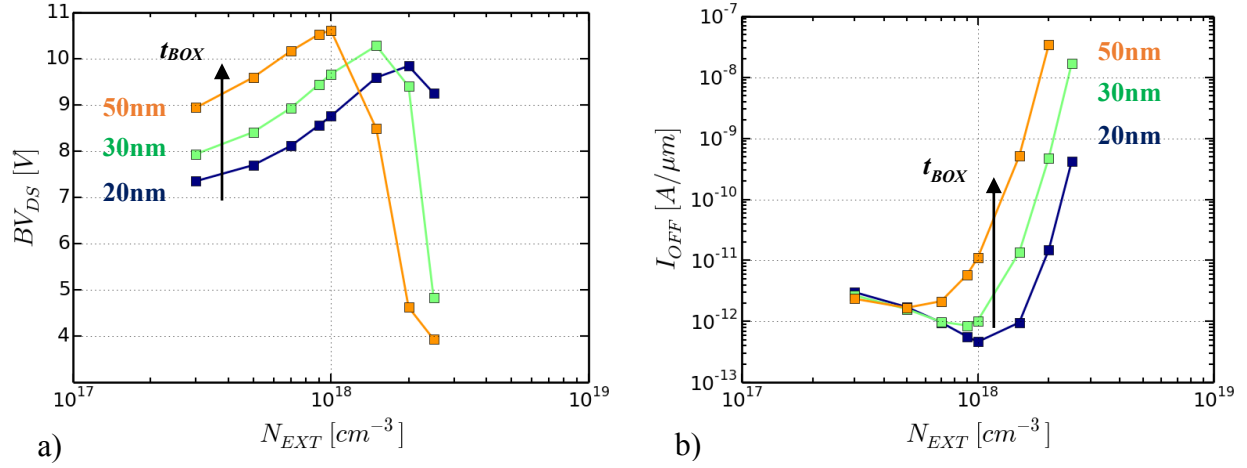


Figure 2.18: Impact de l'épaisseur d'oxyde enterré t_{BOX} sur a) la tenue en tension (BV_{DS}) et b) le courant de fuite (I_{OFF}) pour $L_{EXT}=350nm$, GP-P, $V_{BI}=0V$, $t_{Si}=7nm$. (Simulations).

De manière analogue, les résultats des simulations pour différentes épaisseurs du film de silicium t_{Si} pour un t_{BOX} de 25nm sont rapportés sur la Figure 2.19. Le courant de fuite I_{OFF} augmente avec l'épaisseur de t_{Si} et la tenue en tension est réduite. Ceci s'explique par deux principales raisons. Les lignes de potentiel peuvent s'étendre en surface du film car plus éloignée du recourbement des lignes dans l'oxyde enterré. Le contrôle électrostatique du MOS intrinsèque diminue. Un t_{Si} de 7nm est donc un cas avantageux offrant un $I_{OFF} < 1$ pA/ μm .

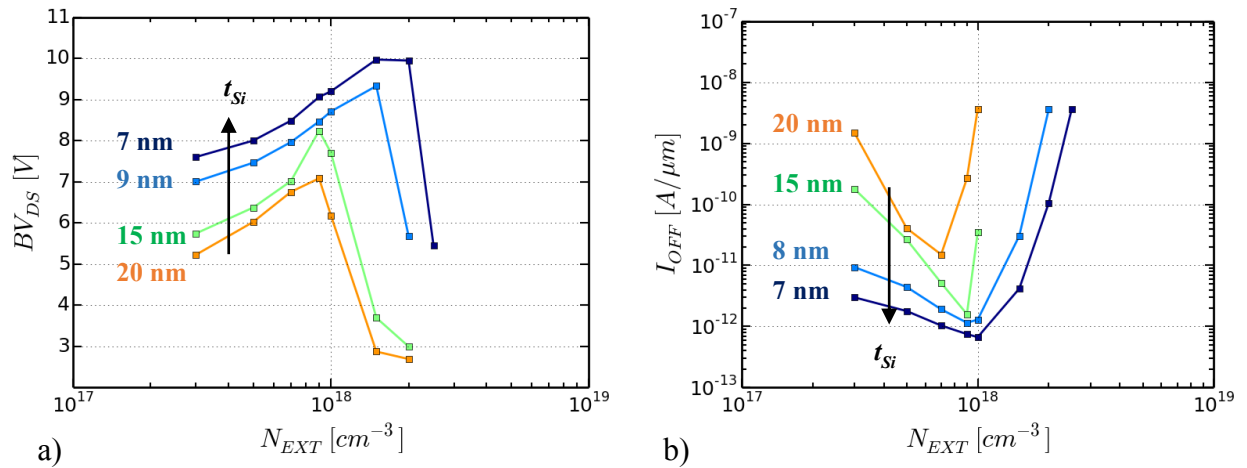


Figure 2.19: Impact de l'épaisseur du film t_{Si} sur a) la tenue en tension (BV_{DS}) et b) le courant de fuite (I_{OFF}) pour $L_{EXT}=350nm$, GP-P, $V_{BI}=0V$, $t_{BOX}=25nm$. (Simulations).

2.2.3.6. Conclusion de l'étude théorique

L'étude théorique (modèle et simulations numériques) de la transposition de l'EDMOS sur SOI montre qu'il est possible d'atteindre des **tenues en tension BV_{DS} de l'ordre de 10V**. En revanche, l'utilisation d'un substrat SOI mince entraîne une répartition défavorable du champ électrique (avec de fortes pointes) qui ne permet pas à la zone d'extension de drain de soutenir une plus forte tension. L'impact de la longueur L_{EXT} est en effet limité dès qu'elle atteint 400nm environ. Avec la réduction des épaisseurs du substrat SOI, l'effet RESURF est de faible amplitude mais se décale vers des niveaux N_{EXT} de plus en plus forts, de manière à contrebalancer la concentration des lignes équipotentiels dans l'oxyde enterré au niveau du drain. Ceci permet de lutter contre la forte résistance de la zone d'extension qui augmente avec la réduction du volume de conduction du film de silicium. Il faut alors une optimisation très fine du niveau de dopage $N_{OPT} \approx 1\text{-}2.10^{18} \text{ cm}^{-3}$ pour atteindre une tenue en tension BV_{DS} maximale.

2.3. Fabrication d'EDMOS sur SOI et plan d'expériences

Pour étudier la faisabilité de la transposition de l'EDMOS sur SOI, des échantillons d'EDMOS ont été conçus en technologie FDSOI. Des structures de test (barrettes de caractérisation DC) ont été dessinées (sous le logiciel Cadence Virtuoso [29]) en respectant les règles du procédé de fabrication industriel de la technologie CMOS 28nm FDSOI [21]. Les échantillons ont ensuite été fabriqués par STMicroelectronics (Crolles) sur des wafers de diamètre 300 mm dédiés à l'étude et au développement de la technologie (on parle de Multi-Project Wafer ou de MPW). Le procédé de fabrication standard a été adapté autant que possible pour limiter le nombre d'étapes supplémentaires et définir un plan d'expérience pour la conception d'un MOS haute tension.

La brique clef pour la conception d'EDMOS sur SOI est la réalisation du dopage de la zone d'extension de drain. Au moment de ces travaux, nous avons pour le N-EDMOS deux masques à notre disposition pour implanter cette région (Fig. 2.20). Le premier masque nous permet de faire un implant avant le dépôt de l'empilement de grille (IMP.1) afin de former la région de

recouvrement de la grille sur la zone de dérivation (OV). Le second masque (IMP2) nous sert à uniformiser le profil de dopage dans le silicium épitaxié (qui n'est pas dopé).

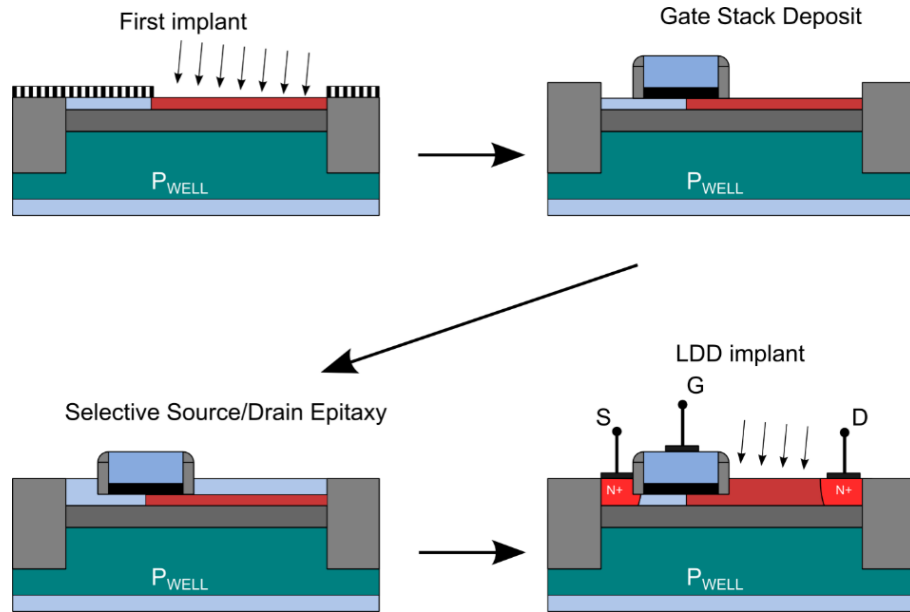


Figure 2.20: Schéma simplifié des étapes de fabrication utilisées pour doper uniformément l'épitaxie de l'EDMOS.

Les premiers essais ont été réalisés avec, soit un unique implant IMP.1 laissé à sa valeur standard, soit en utilisant l'implant standard IMP.1 accompagné de l'implant N_{LDD} standard des MOS digitaux de la technologie 28nm FDSOI. Les deux cas se sont avérés non adaptés à la conception d'un MOS haute tension montrant respectivement une trop forte résistance et une tenue en tension trop faible :

- L'implant avant grille disponible s'est avéré donner une résistance trop forte.
- L'implant LDD standard $N_{LDD} \sim 1.10^{20} \text{ cm}^{-3}$ est trop fort et ne permet pas d'atteindre le critère de tenue en tension de 5V indépendamment de la longueur L_{EXT} .

Afin de se rapprocher du cas théorique optimal N_{OPT} , nous avons alors mis en place un plan d'expériences sur les conditions d'implantation (dose, énergie). Nous nous sommes alors basés sur des simulations TCAD afin de réduire le nombre d'essais. On cherche à optimiser le dopage de manière uniforme dans l'extension à l'aide des deux implants à disposition. Nous avons décidé de laisser le premier implant (IMP.1) à une dose constante égale à sa dose standard qui s'est avérée donner une concentration de dopant correcte dans le film sous la grille. L'uniformisation du niveau

de dopage dans la zone d'extension de drain est réalisée en adaptant le niveau de dopage de l'implant NLDD de la technologie : cet implant devient alors un implant dédié à l'EDMOS (IMP.2).

Le plan d'expérience envisagé pour atteindre une concentration uniforme N_{OPT} de l'ordre de 1 à $2.10^{18} \text{ cm}^{-3}$ est résumé dans le tableau ci-dessous en termes de dose.

Tableau 2.3 : Plan d'expériences des échantillons d'EDMOS en 28nm FDSOI.

Echantillon	IMP.1 (avant grille)	IMP.2 (LDD adapté)
N--	5.10^{13}	-
N-	5.10^{13}	5.10^{12}
N+	5.10^{13}	1.10^{13}
N++	5.10^{13}	5.10^{13}

2.4. Caractérisation des EDMOS sur SOI

2.4.1. Impact du dopage

A l'aide des essais d'implantation, nous obtenons des EDMOS capables de soutenir 5V. Les compromis $R_{ON.S}/BV_{OFF}$ mesurés sur des bancs pour wafer 300mm (Accretech) sont présentés sur la Figure 2.21. La résistance passante spécifique est extraite de la caractéristique I_D-V_G en régime ohmique à $V_D = 0.1V$ et $V_G = 1.8V$ tandis que la même méthode qu'en simulation est employée pour obtenir la tension de claquage (à une densité de courant constante de $1.10^{-8} \text{ A}/\mu\text{m}$).

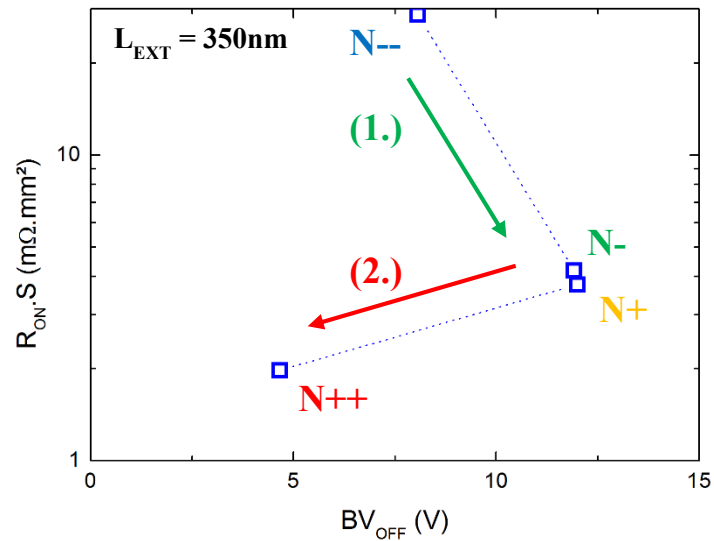


Figure 2.21: Compromis $R_{ON}.S/BV$ mesurés pour les échantillons d'EDMOS sur SOI. $V_{BI}=0V$, $L_{EXT}=350nm$, $OV=200nm$. (Mesures).

Bien que le nombre d'essais soit réduit, la tendance observée théoriquement (modèle et TCAD) apparaît clairement (Fig. 2.21) :

- Dans un premier temps (1.), la tenue en tension augmente en même temps que le dopage croît. La résistance induite par la zone d'extension de drain diminue alors jusqu'à atteindre un $R_{ON}.S$ optimal de l'ordre de $4m\Omega \cdot mm^2$. Le champ électrique à la transition du drain diminue tandis que la densité de porteurs augmente.

- Puis dans un second temps (2.), alors que le niveau de dopage continue à augmenter la résistance diminue légèrement mais la tenue en tension s'écroule. Le claquage est induit par le fort champ en bord de grille.

On se concentre désormais sur la caractérisation électrique des meilleurs échantillons obtenus par le plan d'expérience, soit les essais (N-) et (N+).

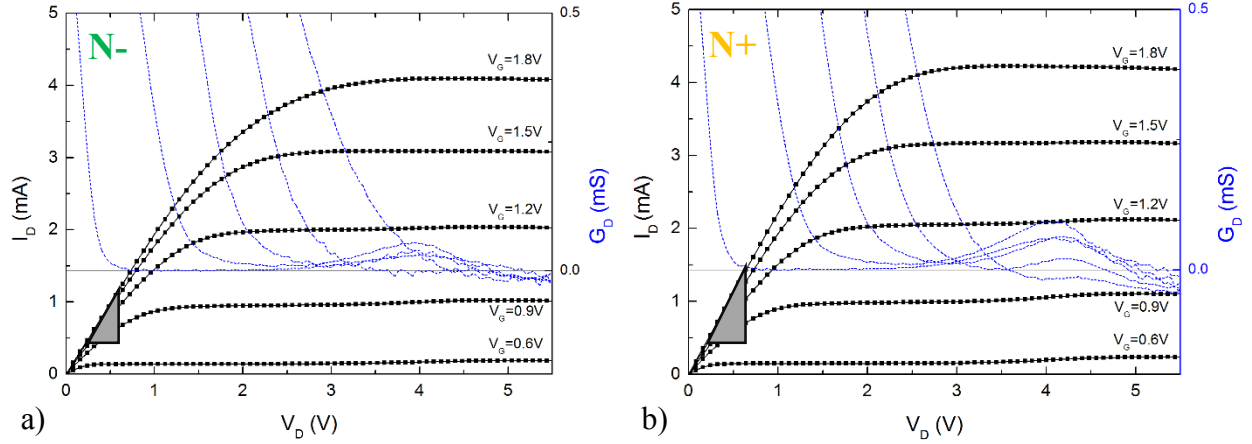


Figure 2.22: Caractéristiques de sortie I_D - V_D (en traits pleins, échelle de gauche) et conductance G_D - V_D (pointillé, échelle de droite) : a) échantillon (2) et b) échantillon (3). $V_{BI}=0V$, $L_{EXT}=350nm$, $OV=200nm$. (Mesures).

On observe que les caractéristiques I_D - V_D obtenues sont typiques d'un transistor MOS haute tension (Fig. 2.22). On reconnaît :

- A faible V_D : le dispositif fonctionne en régime ohmique. La pente de la caractéristique traduit la résistance passante $R_{ON} = \frac{dV_D}{dI_D} \Big|_{V_D \text{ faible}}$ du dispositif.
- Pour des V_D intermédiaires, on observe la quasi-saturation du courant de drain avant d'atteindre le régime de saturation du transistor.

La pente à faible V_D plus grande sur l'échantillon (N+) traduit une résistance linéaire plus faible que sur l'échantillon (N-). Ce résultat est attendu de par le dopage plus élevé de l'échantillon (N+) qui permet de diminuer la résistance série de la zone d'extension de drain (prépondérante dans la résistance totale du dispositif).

▪ Effet de l'auto-échauffement

En régime de saturation, les deux échantillons présentent une légère pente négative sur le courant de drain pour de fort V_G traduisant l'auto-échauffement du dispositif : le courant est limité par l'augmentation locale de la température en raison de la puissance dissipée. Cette décroissance se traduit sur la conductance $G_D = \frac{dI_D}{dV_D} \Big|_{V_G=Cste}$ qui devient négative surtout dans le cas (N+). En effet pour une même géométrie, la dissipation de puissance ($P=U.I$) est plus importante dans l'échantillon (N+) dont le courant est légèrement plus fort pour un (V_G , V_D) donné.

▪ Effet kink

Par ailleurs, dans les deux échantillons (N- et N+), une légère bosse est visible sur les caractéristiques I_D - V_D et G_D - V_D à faible tension de grille $V_G < 1.2V$. Ce phénomène est attribué à l'effet kink [14]. Pour de faibles polarisations de grille, un champ électrique fort se développe dans la région du coin de la grille et produit la génération de paires électron-trou par ionisation par impact : les trous peuvent alors s'accumuler dans le body. Dans un tel cas, le potentiel du body s'accroît, la tension de seuil baisse et le courant de drain augmente présentant une bosse ou « kink ». Cet effet a tendance à disparaître pour des tensions V_G plus fortes car le champ électrique en bord de grille diminue. Dans le même ordre d'idée, il est intéressant de noter que la bosse sur I_D - V_D et G_D - V_D est plus forte dans le cas d'une dose plus forte (échantillon (N+)) : la chute de potentiel dans l'extension plus fortement dopée est plus faible et la tension de drain du MOS intrinsèque augmente.

▪ Effet de la nature du Ground Plane

Les résultats présentés ont été mesurés avec un EDMOS sur un GP de type P. Des échantillons ont également été dessinés et fabriqués avec un GP de type N pour étudier l'impact du type du GP sur les performances de l'EDMOS.

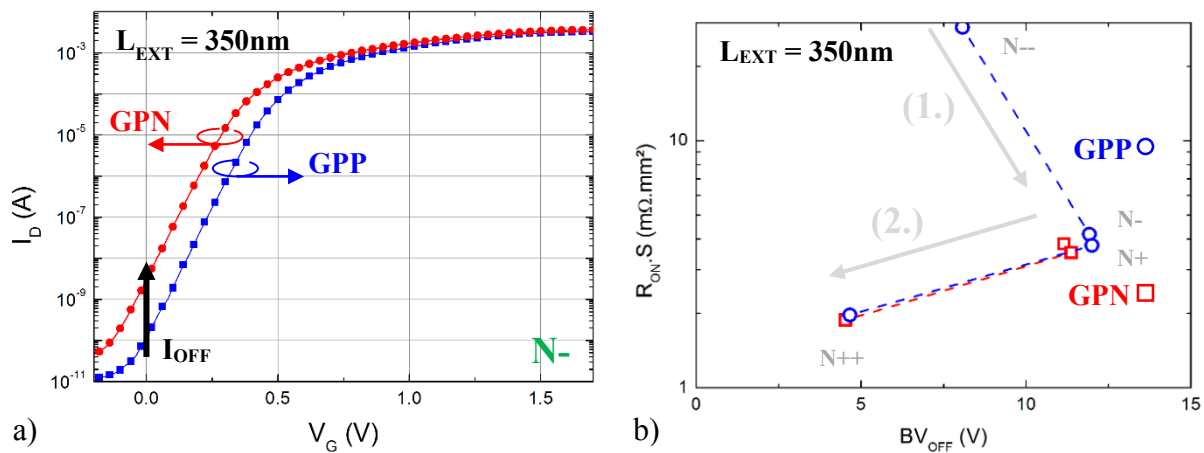


Figure 2.23: Impact du type de Ground Plane sur a) la caractéristique I_D - V_G en régime de saturation ($V_D=5V$) de l'échantillon (N-) et b) sur le compromis $R_{ON}.S/BV$ en fonction du niveau de dopage. $OV=200nm$, $L_{EXT}=350nm$. (Mesures).

Agissant à la manière d'une polarisation de grille arrière positive ($V_{B1} > 0V$), le GP de type N permet d'abaisser la tension de seuil du transistor d'environ $\Delta V_{TH} = -110mV$ (en raison de sa différence de travail de sortie par rapport au GP-P). Les courants à l'état passant augmentent et la résistance passante spécifique $R_{ON.S}$ diminue (Fig. 2.23b, cas N-) de $4.2 m\Omega.mm^2$ (GPP) à $3.8 m\Omega.mm^2$ (GPN). En revanche le courant de fuite augmente à plus de $100 pA/\mu m$ et la tenue en tension est réduite de presque $1V$ passant de $11.9V$ (GPP, cas N-) à $11.2V$ (GPN, cas N-).

2.4.2. Impact de la géométrie du transistor

Pour étudier l'impact des paramètres géométriques sur les performances du dispositif, des échantillons ont été dessinés, fabriqués et mesurés avec des variations notamment des longueurs de la zone d'extension de drain (L_{EXT}) et du recouvrement de la grille sur le film dopé (OV).

2.4.2.1. Effet de la longueur L_{EXT}

Les courbes I_D-V_D sont présentées (Figure 2.24) dans le cas de la dose (N-) pour différentes longueurs L_{EXT} variant de $150nm$ à $350nm$ par pas constant de $50nm$ (avec un $OV=200nm$).

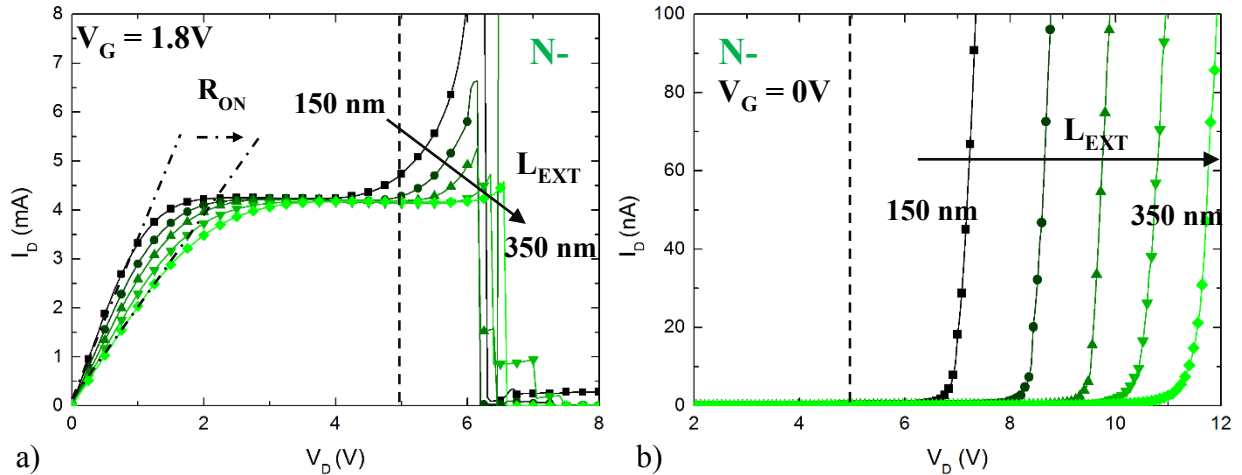


Figure 2.24: Caractéristiques I_D-V_D de l'échantillon (2) pour différentes longueurs de zone d'extension de drain (L_{EXT}) : a) à l'état passant ($V_G=1.8V$) et b) à l'état bloqué ($V_G=0V$). $V_{B1}=0V$, $OV=200nm$, L_{EXT} varie de $150nm$ à $350nm$ avec un pas de $50nm$. (Mesures)

La tenue en tension montre une dépendance claire avec L_{EXT} . Elle augmente ainsi depuis 7.3V à environ 12V à l'état bloqué et atteint 5V à l'état passant ($V_G = V_{GMAX} = 1.8V$) dès que $L_{EXT} \geq 250nm$. Cependant, une augmentation de la longueur L_{EXT} a un impact négatif sur le courant débité par le dispositif en augmentant la résistance série.

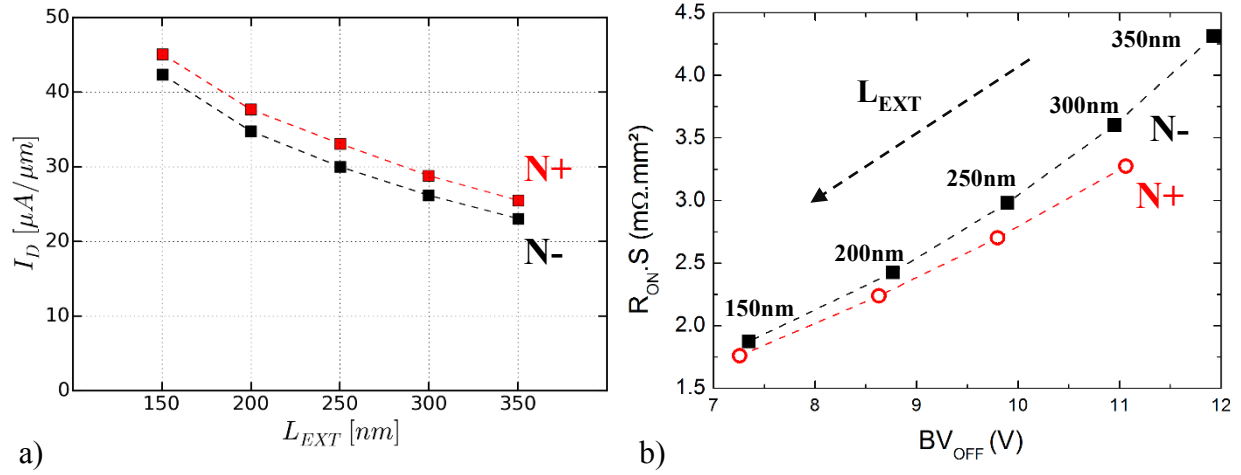


Figure 2.25: Influence mesurée de la longueur L_{EXT} sur a) le courant linéaire et b) le compromis $R_{ON.S}/BV$. $V_{BI}=0V$, $OV=200nm$. L_{EXT} varie de 150nm à 350nm avec un pas de 50nm. (Mesures).

Nous avons évalué la résistance carré du film épitaxié et dopé respectivement à $R_{\square} = 9.58 k\Omega/\square$ et $R_{\square} = 8.32 k\Omega/\square$ dans les deux cas (N-) et (N+). Avec un L_{EXT} plus grand, le courant diminue et la résistance passante spécifique augmente (Figure 2.25).

2.4.2.2. Effet de la longueur du recouvrement de grille OV

De la même façon, nous étudions l'impact de la longueur (OV) définie en Figure 2.11. Ce paramètre varie de 100nm à 200nm par pas constant de 50nm. Il y a un impact limité du recouvrement (OV) sur la tenue en tension BV_{OFF} du dispositif. En effet à l'état bloqué ($V_G = 0V$), le film sous la grille est totalement contrôlé par cette dernière et le champ électrique se distribue essentiellement dans la zone de dérive épitaxiée. Toute la tension est soutenue dans la région non épitaxiée du film et le recouvrement de la grille n'a pas un impact significatif sur BV_{OFF} . De la même manière, l'influence de ce paramètre est limitée sur $R_{ON.S}$ (Figure 2.26). La résistance du film dopé sous la grille est faible, $R_{\square} \approx 2-2.5 k\Omega/\square$. Avec une variation limitée à 100nm entre les

deux valeurs extrêmes, la plus grande contribution du paramètre OV à la résistance passante spécifique est l'impact sur la surface du dispositif et non sur le courant. Une diminution de la longueur OV entraîne cependant une diminution de la tension de claquage à l'état passant. Ce paramètre ne pourra donc pas être réduit sans limite si on souhaite soutenir une tension de 5V (Figure 2.26).

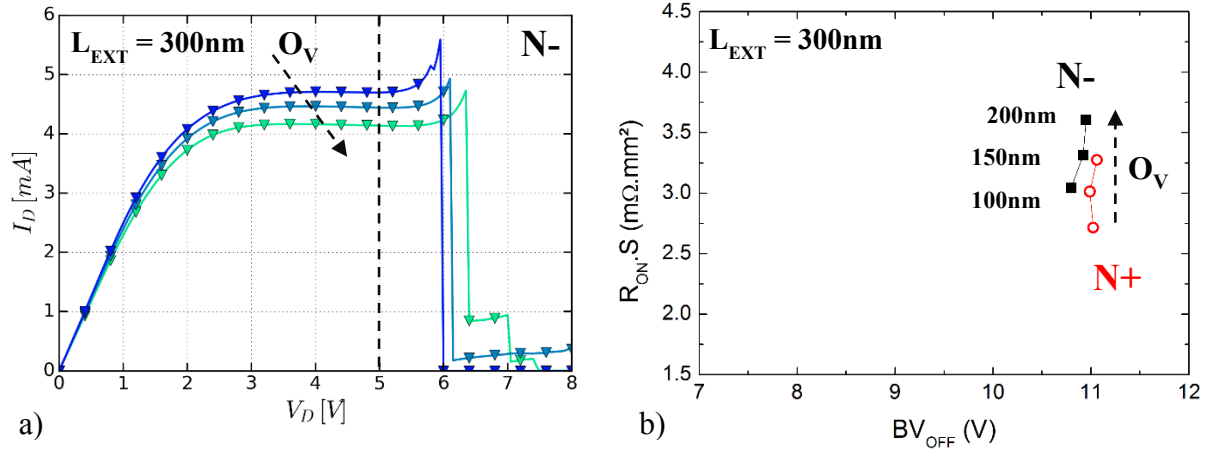


Figure 2.26: Influence du recouvrement (O_V) sur a) la caractéristique I_D - V_D à l'état passant et b) le compromis $R_{ON}.S/BV$ pour une longueur totale de dérivation constante ($L_{EXT}+O_V=450nm$). $V_{BI}=0V$, O_V varie de 100nm à 200nm. (Mesures).

On constate également que, contrairement à L_{EXT} qui ne rajoute qu'une résistance série au dispositif (dont l'impact est visible en régime ohmique), O_V a une influence sur le niveau du courant de saturation du transistor. Ce phénomène s'explique par l'impact de l'augmentation de la longueur de grille totale $L = L_{INT} + O_V$ sur le courant de drain I_D qui s'écrit au premier ordre (pour un transistor MOS en saturation) : $I_D = \frac{w}{2L} \mu C_{OX} (V_{GS} - V_{TH})^2$. Des mesures complémentaires réalisées en faisant varier O_V pour une longueur de grille totale L constante confirment ce résultat en ne montrant aucune modification significative du niveau de courant de saturation.

2.5. Conclusion

Dans ce chapitre, nous avons étudié les enjeux des substrats SOI minces pour la réalisation de MOS haute tension en technologie CMOS FDSOI. Dans un premier temps, nous avons montré que la zone hybride du substrat pouvait servir à intégrer le dispositif comme dans les technologies

sur silicium massif. Privilégiant une approche faible coût, nous avons proposé et étudié un EDMOS gratuit utilisant les implants de caissons disponibles pour la réalisation du canal et des zones d'extension de drain. Leurs principales caractéristiques électriques ont été présentées. Ensuite, comme cette solution reste peu innovante et fortement contrainte, nous nous sommes tournés vers le développement d'un EDMOS intégré dans le film mince du substrat SOI. Des études numériques ont mis en avant les spécificités d'un tel substrat en termes de tenue en tension. Les simulations TCAD ont permis de mettre en évidence le rôle des épaisseurs, du niveau de dopage et de la longueur de la zone d'extension de drain sur la répartition du champ électrique dans l'EDMOS transposé sur SOI. Grace à ces simulations, un plan d'expérience restreint a été mis au point en vue de la fabrication d'échantillons fonctionnels en 28nm FDSOI pour des applications 5V. Enfin, nous avons présenté les caractéristiques électriques de ces EDMOS sur SOI.

Tableau 2.4: Comparaison des résultats obtenus en 28nm FDSOI avec l'état de l'art.

Dispositif et technologie	$R_{ON,S}$ (m Ω .mm ²)	BV_{DS} (V)
28nm FDSOI EDMOS (N-) $L_{EXT}=300nm$, $OV=200nm$	3.6	10.95
45nm EDMOS Bulk	3	15
65nm LDMOS SOI	9.4	15.4

Les mesures (Tableau 2.4) montrent la faisabilité d'EDMOS sur SOI ultramince en atteignant des compromis $R_{ON,S}/BV$ à l'état de l'art des transistors MOS haute tension (3.6V-5V) intégrés en technologies CMOS. Cette solution prometteuse reste payante d'un point de vue du procédé de fabrication avec l'introduction d'une étape d'implant dédié à la zone d'extension de drain de l'EDMOS. Dans le chapitre suivant, nous proposons une architecture innovante d'EDMOS utilisant les spécificités du FDSOI et permettant de se passer de cet implant supplémentaire.

2.6. Bibliographie

- [1] D. Golanski, P. Fonteneau, C. Fenouillet-Beranger, et al., "First demonstration of a full 28nm high-k/metal gate circuit transfer from Bulk to UTBB FDSOI technology through hybrid integration," in *VLSI*

- Technology (VLSIT), 2013 Symposium on*, 2013, pp. T124–T125.
- [2] A. Amerasekera and C. Duvvury, *ESD in Silicon Integrated Circuits*, 2nd ed. John Wiley & Sons, Ltd., 2002.
 - [3] C. Fenouillet-Beranger, P. Perreau, S. Denorme, et al., “Hybrid FDSOI / Bulk high-k / Metal gate platform for Low Power (LP) multimedia technology,” *IEDM Tech. Dig. IEEE Int. Electron Devices Meet.*, pp. 28.6.1–28.6.4, 2009.
 - [4] S. M. Sze, *Physics of Semiconductor Devices*, 2nd ed. John Wiley & Sons, 1981.
 - [5] R. Van Overstraeten and H. De Man, “Measurement of the ionization rates in diffused silicon p-n junctions,” *Solid. State. Electron.*, vol. 13, no. 5, pp. 583–608, 1970.
 - [6] L. Lorenz, G. Deboy, A. Knapp, et al., “COOLMOS a new milestone in high voltage power MOS,” in *11th International Symposium on Power Semiconductor Devices and ICs. ISPSD'99 Proceedings*, 1999, pp. 3–10.
 - [7] A. Ferrara, A. Heringa, B. K. Boksteen, et al., “The Boost Transistor : a Field Plate Controlled LDMOST,” in *Power Semiconductor Devices & IC's (ISPSD), 2015 IEEE 27th International Symposium on*, 2015, pp. 165–168.
 - [8] M. J. Kumar and R. Sithanandam, “Extended-p+ stepped gate LDMOS for improved performance,” *IEEE Trans. Electron Devices*, vol. 57, no. 7, pp. 1719–1724, 2010.
 - [9] G. Toulon, I. Cortés, F. Morancho, et al., “Design and optimization of high voltage LDMOS transistors on 0.18 μ m SOI CMOS technology,” *Solid. State. Electron.*, vol. 61, no. 1, pp. 111–115, 2011.
 - [10] M. M. Iqbal and F. Udrea, “Technology-based static figure of merit for high voltage ICs,” in *Proceedings of the International Semiconductor Conference, CAS*, 2007, vol. 2, pp. 417–420.
 - [11] R. Zhu, V. Khemka, T. Khan, et al., “A high voltage Super-Junction NLDMOS device implemented in 0.13 μ m SOI based Smart Power IC technology,” in *Power Semiconductor Devices & IC's (ISPSD), 2010 IEEE 22th International Symposium on*, 2010, 2010, pp. 79–82.
 - [12] X. Luo, B. Zhang, T. Lei, et al., “Numerical and Experimental Investigation on Novel high-Voltage (>600-V) SOI LDMOS in a Self-Isolation HVIC,” *Electron Devices, IEEE Trans.*, vol. 57, no. 11, pp. 3033–3043, 2010.
 - [13] O. Bon, O. Gonnard, F. Giancesello, et al., “First 15V complementary LDMOS transistors in thin SOI 65nm low power technology,” in *Proceedings of the International Symposium on Power Semiconductor Devices and ICs*, 2007, pp. 209–212.
 - [14] M. Bawedin, C. Renaux, and D. Flandre, “LDMOS in SOI technology with very-thin silicon film,” *Solid. State. Electron.*, vol. 48, no. 12, pp. 2263–2270, 2004.
 - [15] L. Boissonnet, S. Chouteau, B. R. A. Perrotin, et al., “0.13 μ m,” pp. 171–173, 2005.
 - [16] Y. S. Huang and B. J. Baliga, “Extension of resurf principle to dielectrically isolated power devices,” in *Power Semiconductor Devices and ICs, 1991. ISPSD'91., Proceedings of the 3rd International Symposium on*, 1991, pp. 27–30.
 - [17] S. Merchant, E. Arnold, H. Baumgart, et al., “Dependence of breakdown voltage on drift length and buried

- oxide thickness in SOI RESURF LDMOS transistors,” in *Proceedings of the 5th International Symposium on Power Semiconductor Devices and ICs*, 1993.
- [18] B. K. Boksteen, A. Ferrara, A. Heringa, et al., “Design optimization of field-plate assisted RESURF devices,” in *Proceedings of the International Symposium on Power Semiconductor Devices and ICs*, 2013, no. 1, pp. 237–240.
 - [19] W. Yang, X. Cheng, Y. Yu, et al., “A novel analytical model for the breakdown voltage of thin-film SOI power MOSFETs,” *Solid. State. Electron.*, vol. 49, no. 1, pp. 43–48, 2005.
 - [20] J. Roig, E. Stefanov, and F. Morancho, “Safe design for TF-SOI power MOSFETs,” *Electron. Lett.*, vol. 42, no. 4, p. 245, 2006.
 - [21] N. Planes, O. Weber, V. Barral, et al., “28nm FDSOI technology platform for high-speed low-voltage digital applications,” in *Digest of Technical Papers - Symposium on VLSI Technology*, 2012, vol. 33, no. 4, pp. 133–134.
 - [22] O. Bon, “Conception de transistors haute tension complémentaires en technologie 65nm sur substrat silicium sur isolant fin pour applications RF et conversion de puissance,” Thèse de doctorat, Université Paul Sabatier-Toulouse III, 2008.
 - [23] Synopsys, *Sentaurus version G-2012.06*. 2012.
 - [24] R. Hall, “Electron-Hole Recombination in Germanium,” *Phys. Rev.*, vol. 87, no. 2, pp. 387–387, Jul. 1952.
 - [25] W. Shockley and W. Read, “Statistics of the Recombinations of Holes and Electrons,” *Phys. Rev.*, vol. 87, no. 5, pp. 835–842, Sep. 1952.
 - [26] A. Schenk, “Rigorous theory and simplified model of the band-to-band tunneling in silicon,” *Solid. State. Electron.*, vol. 36, no. 1, pp. 19–34, 1993.
 - [27] F. Mayer, “Etude , Réalisation et Caractérisation du Transistor à Ionisation par Impact (I-MOS),” Thèse de doctorat, Université de Grenoble, 2008.
 - [28] T. Ernst, R. Ritzenthaler, O. Faynot, et al., “A model of fringing fields in short-channel planar and triple-gate SOI MOSFETs,” *IEEE Trans. Electron Devices*, vol. 54, no. 6, pp. 1366–1375, 2007.
 - [29] Cadence, *Virtuoso Custom IC Design Environment*. 2015.

Chapitre 3

Une architecture innovante en FDSOI: le Dual Ground Plane EDMOS

Dans le chapitre précédent, nous avons étudié la faisabilité d'un EDMOS dans le film mince du substrat FDSOI. Nous avons vu que cette solution requiert l'emploi d'implantations supplémentaires pour la réalisation du transistor MOS haute tension. Dans ce chapitre, nous introduisons une architecture innovante d'EDMOS permettant de limiter l'utilisation de masques dédiés: **le Dual Ground Plane EDMOS (DGP EDMOS)**. Cette architecture reposant sur les spécificités du FDSOI, un SOI fin et des GPs fortement dopés, utilise les grilles arrière comme un nouveau levier pour la conception de transistor MOS haute tension. Un GP de type N est introduit sous la région d'extension de drain afin de contrôler la répartition du champ électrique tandis qu'un autre GP de type P, localisé sous la grille, est conservé pour régler les propriétés électrostatiques du canal (tension de seuil, courant de fuite). A l'aide de simulations TCAD, nous étudions comment les polarisations de ces deux GPs permettent de moduler le compromis $R_{ON.S}/BV_{DS}$ du DGP EDMOS. Nous démontrons expérimentalement l'efficacité de cette architecture à travers la caractérisation d'échantillons conçus et fabriqués dans les nœuds 28nm et 14nm FDSOI. L'optimisation des paramètres géométriques permet d'atteindre des performances à l'état de l'art sans l'utilisation d'implant optimisé, jusqu'à obtenir un EDMOS non dopé en 14nm FDSOI.

3.1. Architecture et principe de fonctionnement

Dans le chapitre 2, nous avons vu que, pour un niveau de dopage N_{EXT} donné, il était possible de contrôler la répartition du champ électrique à l'aide de la tension de face arrière :

- Une tension de face arrière $V_B > 0$ permet de décompresser les lignes équipotentielles dans l'oxyde enterré et de réduire le champ électrique au niveau de la transition N_{EXT}/N^+ entre le drain et la zone d'extension. En contrepartie, le champ augmente dans le coin de la grille à partir d'une valeur V_B critique qui est d'autant plus faible que le dopage est fort. De plus le V_{TH} du MOS intrinsèque diminue et le courant de fuite I_{OFF} explose.
- Une tension de face arrière négative $V_B < 0$ permet de reconcentrer les lignes de champ afin d'éviter l'augmentation du champ électrique du côté de la grille comme par exemple dans le cas d'un dopage d'extension N_{EXT} très fort. Cet effet est néanmoins accompagné d'une réduction du courant et d'une augmentation de la résistance R_{ON} .

La technologie FDSOI, grâce à un oxyde enterré mince, permet de se servir de Ground Planes fortement dopés de type P et N comme une grille arrière et offre ainsi un nouveau bras de levier pour la conception d'un MOS haute tension. Cependant, dans le cas de la solution de l'EDMOS transposée sur SOI, le GP repose sous toute la structure. La tension de grille arrière agit donc simultanément sur la répartition du champ électrique et sur les performances du MOS intrinsèque (V_{TH} , courant de fuite I_{OFF} , courants à l'état passant), avec des effets contradictoires.

Afin d'utiliser la tension de face arrière comme un levier indépendant à la manière d'un « field plate », il faut parvenir à découpler l'effet de la grille arrière sur le MOS intrinsèque de celui sur la zone d'extension de drain. Pour cela nous introduisons le concept innovant de **Dual Ground Plane EDMOS (DGP)** [1]. L'introduction d'un second GP sous la zone de dérivation de l'EDMOS (Figure 3.1) permet, sous certaines précautions, d'utiliser cette seconde grille arrière pour contrôler ses propriétés électrostatiques sans modifier celles du canal du MOS intrinsèque qui reste sous l'influence du premier GP.

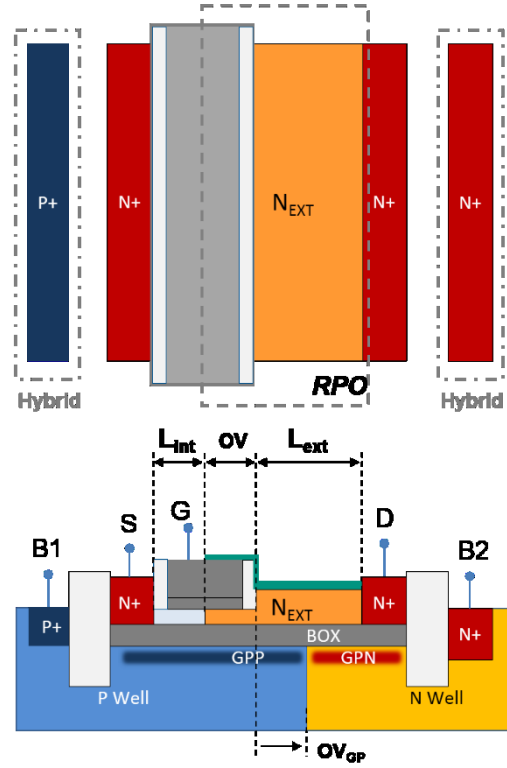


Figure 3.1: Layout simplifié et coupe schématique d'un EDMOS sur SOI avec Dual Ground Plane. La structure repose sur deux GPs connectés à l'aide de connexions hybrides (cas 28nm FDSOI).

Afin d'obtenir l'architecture DGP EDMOS, le caisson P est repoussé du bord de drain et un caisson N est introduit sous la transition du côté de drain jusque sous la zone d'extension lors du dessin de la structure. Une seconde connexion N+ est rajoutée dans une nouvelle zone hybride. Les deux GPs sous l'oxyde enterré peuvent alors agir comme deux grilles arrière distinctes (B1) et (B2). Le premier GP de type P sous le canal du transistor permet de garantir le réglage de la tension de seuil V_{TH} par rapport à la tension d'alimentation et un faible courant de fuite I_{OFF} . Il pourra être polarisé dans une large gamme négative ($V_{B1} < 0$) afin d'augmenter la tension de seuil si nécessaire. A l'opposé, nous pouvons appliquer une large gamme de tension positive ($V_{B2} > 0V$) sur le GP de type N. Cette seconde grille arrière pourra alors contrôler les propriétés électrostatiques de la zone de dérive. De manière générale, il faut veiller à ce que la jonction PN entre les deux caissons P et N reste polarisée en inverse [2], [3] pour éviter l'apparition d'un courant de fuite trop fort : i.e. au moins d'un ou deux ordres de grandeur inférieurs au courant de fuite I_{OFF} du MOS haute tension. La position de cette jonction PN entre le GP de type P et celui de type N est caractérisée par le paramètre (OV_{GP}) référencé par rapport au bord de grille (Fig. 3.1).

3.2. Etude par simulations du DGP EDMOS: effet conjugué du dopage et de la face arrière

Pour étudier le comportement de l'architecture Dual Ground Plane EDMOS, de nouvelles simulations TCAD ont été réalisées en considérant les mêmes modèles physiques qu'au chapitre précédent (dérive-diffusion, recombinaisons, tunnel bande-à-bande, avalanche). Le dispositif est considéré dans le nœud technologique 28nm FDSOI ($t_{Si} = 7$ nm, $t_{BOX} = 25$ nm, canal non dopé, région d'extension de drain épitaxiée) avec un dopage d'extension uniforme N_{EXT} , une longueur d'extension $L_{EXT} = 350$ nm, un recouvrement de la grille $OV = 200$ nm et une jonction entre les deux GPs située sous la zone d'extension de drain $OV_{GP} = +100$ nm (Fig. 3.2).

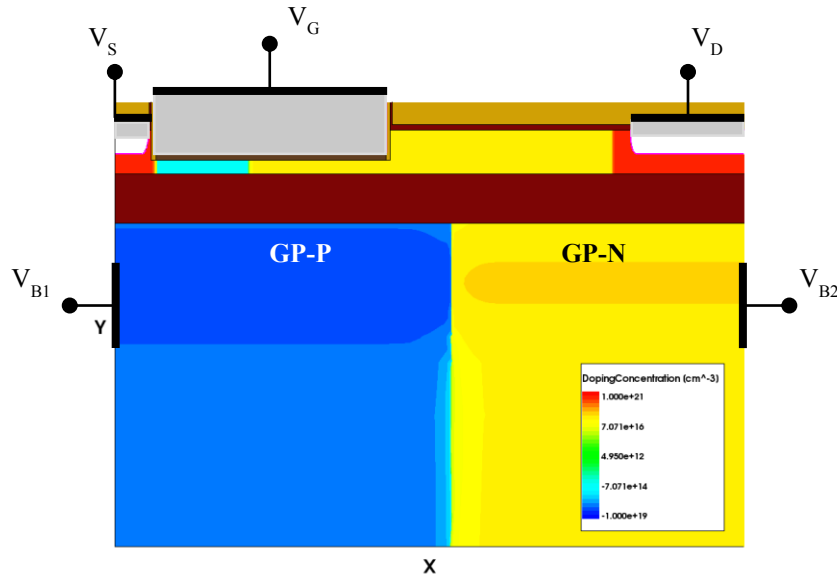


Figure 3.2: Structure DGP EDMOS pour la simulation par TCAD (l'échelle verticale est volontairement dilatée pour une meilleure visualisation)

3.2.1. Etat bloqué

Le DGP EDMOS est simulé à l'état bloqué (V_G et V_S à la masse) en maintenant le caisson de type P situé sous le canal (V_{B1}) à la masse tandis que le caisson de type N situé sous la zone d'extension de drain est polarisé à une tension variable V_{B2} . Cette tension varie typiquement entre la masse et la haute tension utilisée dans les applications visées soit entre 0V et 5V. Des valeurs intermédiaires sont simulées pour prendre en compte les cas d'applications avec $V_{DD} = 1.8$ V

(tension d'alimentation des MOS à oxyde épais) et $2 \cdot V_{DD} = 3.6V$ (tension nécessaire pour l'interfaçage avec une batterie). Les courbes I_D-V_D ainsi obtenues permettent d'extraire le courant I_{OFF} (pour $V_D = 5V$) et la tenue en tension BV_{DS} (à un courant $I_{BV} = 1.10^{-8} A/\mu m$).

La figure 3.3 illustrent les résultats des simulations pour différents niveaux de dopage.

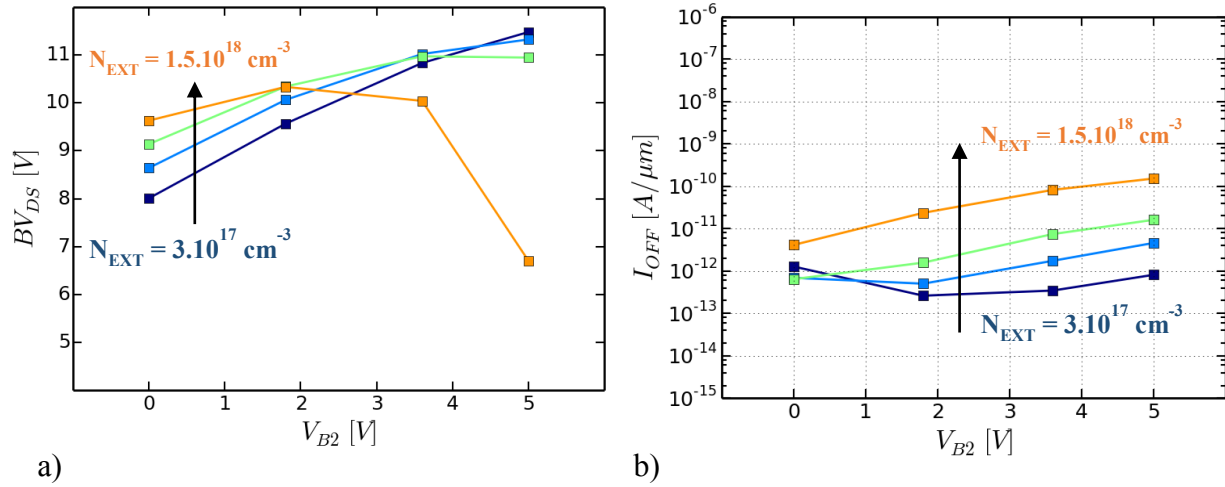


Figure 3.3: Simulation de l'influence de la tension de face arrière V_{B2} sur a) la tenue en tension (BV_{DS}) et b) le courant de fuite (I_{OFF}) du DGP EDMOS. $L_{EXT}=350nm$, $OV=200nm$, $OV_{GP}=+100nm$, $V_{B1}=0V$, $V_G=0V$ et $N_{EXT}=3.10^{17}cm^{-3} / 7.10^{17}cm^{-3} / 1.10^{18}cm^{-3} / 1.5.10^{18}cm^{-3}$.

On observe une évolution de la tenue en tension (pour un niveau de fuite raisonnable) qui dépend maintenant des effets conjugués du dopage N_{EXT} et de la face arrière V_{B2} :

- Pour une concentration d'impuretés en dessous de $1.10^{18} cm^{-3}$, on note que la tension V_{B2} permet d'améliorer la tenue en tension BV_{DS} . Elle augmente ainsi de 9V à 11V pour $N_{EXT}=1.10^{18} cm^{-3}$ (Fig. 3.3a). Le courant de fuite I_{OFF} reste en dessous de la vingtaine de pA/ μm (Fig. 3.3b), ce qui est encourageant. En effet, avec le DGP, la tension de seuil du MOS intrinsèque reste contrôlée par le GP-P (polarisé à $V_{B1} = 0V$) et n'est pas influencée par V_{B2} , ce qui limite l'évolution du courant de fuite de canal. Pour expliquer ce comportement, nous analysons l'évolution avec la polarisation V_{B2} de la répartition du champ électrique latéral (E_x) au claquage dans la structure DGP EDMOS (Fig. 3.4a).

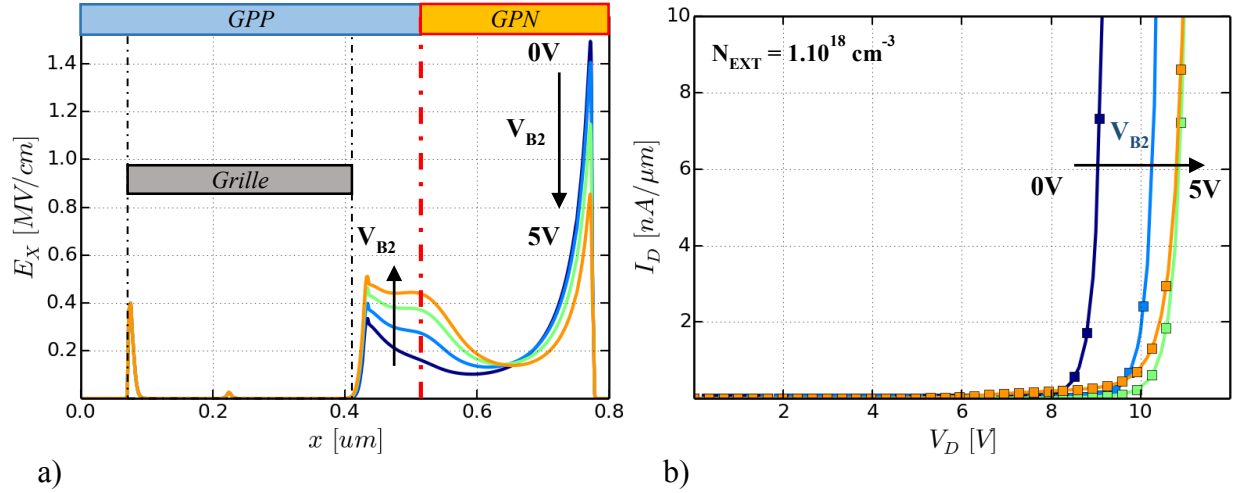


Figure 3.4: a) Profil du champ électrique latéral au claquage dans l'extension de drain à l'état bloqué et b) caractéristique I_D - V_D correspondante en fonction de la tension de grille arrière V_{B2} entre 0 et 5V. DGP EDMOS avec $L_{EXT}=350\text{nm}$, $OV=200\text{nm}$, $OV_{GP}=+100\text{nm}$, $V_{B1}=0\text{V}$, $V_G=0\text{V}$ et $N_{EXT}=1.10^{18}\text{cm}^{-3}$.

Le profil de champ a été obtenu par une coupe horizontale dans le film mince de silicium à 1nm sous l'oxyde de grille. On observe que la pointe de champ électrique à la transition entre la zone de dérivation et le drain est fortement réduite à l'aide de la tension V_{B2} . Les équipotentielles ne sont plus compressées dans le BOX sous le drain et s'étendent le long de la zone d'extension de drain. En contrepartie, le champ augmente du côté de la grille comme discuté précédemment. Dans cette configuration la reprise de potentiel à la jonction des GPs permet de créer un plateau de champ dans la zone d'extension sans augmenter la pointe de champ du côté de la grille ($E_x < 0.5$ MV/cm). Le courant de fuite du canal n'étant pas modulé, la tenue en tension augmente.

- Pour un niveau de dopage N_{EXT} plus fort ($\approx 1.5.10^{18} \text{ cm}^{-3}$), la tenue en tension est améliorée avant de s'écrouler (Fig. 3.3a). La tension de face arrière permet d'améliorer la répartition du champ mais uniquement jusqu'à un certain point à partir duquel la pointe de champ E_x du côté de la grille augmente trop fortement.

- Si le dopage N_{EXT} est supérieur à $1.5.10^{18} \text{ cm}^{-3}$, le pic du côté du drain est déjà faible à $V_{B2}=0\text{V}$. Avec un V_{B2} positif, le champ électrique latéral ne fera qu'augmenter du côté de la grille avec V_{B2} , ce qui diminuera BV_{DS} .

En anticipant, nous voyons apparaître un premier intérêt de la solution DGP dans la conception d'un MOS haute tension en technologie FDSOI. Elle permet à l'aide d'une tension arrière de régler BV_{DS} indépendamment du dopage que nous avons à notre disposition, ce qui peut mener à l'économie de masque lors du procédé de fabrication.

3.2.2. Etat passant

L'effet conjugué du dopage N_{EXT} et de la grille arrière V_{B2} ne se limite pas au contrôle de la répartition du champ électrique à l'état bloqué. L'utilisation d'une tension V_{B2} sous la zone d'extension de drain apporte également la possibilité de moduler la résistance linéaire du film mince de silicium non recouvert par la grille. On observe en effet l'augmentation du courant de drain avec la polarisation du GP-N sur la caractéristique I_D-V_G simulée en régime linéaire à $V_D=0.1V$ (Fig. 3.5a). On constate que la tension de seuil V_{TH} du transistor n'est cependant pas modifiée avec V_{B2} . Le courant linéaire noté I_{LIN} est extrait pour chaque V_{B2} à $V_G=1.8V$ et $V_D=0.1V$ pour différents dopages N_{EXT} (Fig. 3.5b).

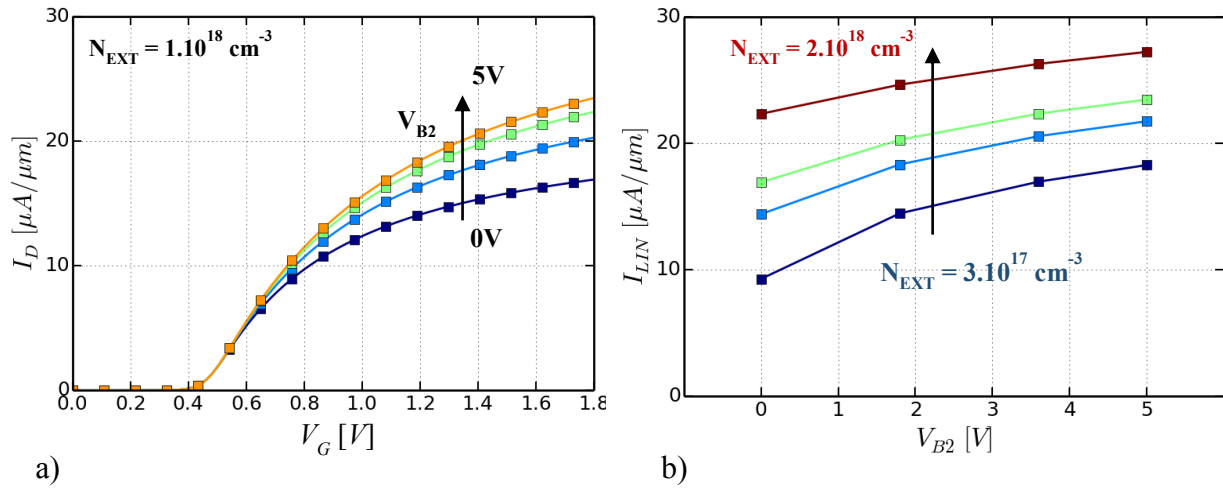


Figure 3.5: a) Caractéristiques I_D-V_G pour différent V_{B2} et b) Courant linéaire I_{LIN} extrait pour différent dopage. DGP EDMOS avec $L_{EXT}=350nm$, $OV=200nm$, $OV_{GP}=+100nm$, $V_{B1}=0V$, $N_{EXT}=3.10^{17}cm^{-3} / 7.10^{17}cm^{-3} / 1.10^{18}cm^{-3} / 2.10^{18}cm^{-3}$. (Simulations)

L'augmentation du courant s'explique par l'accumulation de porteurs dans la zone d'extension de drain induite par la polarisation positive de la face arrière [4], [5]. Ceci augmente la densité de porteurs majoritaires (électrons) dans la zone de dérive et limite la résistance série.

Si le courant sans polarisation V_{B2} est plus important pour un dopage N_{EXT} fort (Fig. 3.5b), l'amélioration constatée en augmentant V_{B2} est plus importante pour un niveau de dopage faible. Ainsi on obtient :

- Pour $N_{EXT}=3.10^{17}cm^{-3}$, le courant I_{LIN} passe de $9.3 \mu A/\mu m$ à $18.3 \mu A/\mu m$ (+96%) soit en moyenne $+1.8\mu A/V$.
- Pour $N_{EXT}=2.10^{18}cm^{-3}$, l'amélioration est de $22.3 \mu A/\mu m$ à $27.2\mu A/\mu m$ (+22%) soit en moyenne seulement $+0.98\mu A/V$.

Le couplage entre la grille arrière (B2) et le film de silicium est moins efficace dans le cas d'un dopage plus fort. En effet, plus le niveau de dopage est élevé, plus la tension de bande plate V_{FB} de la capacité MOS face arrière (GP/BOX/Silicium) augmente et moins l'efficacité de la modulation est bonne. Il y a une compétition entre le champ généré par la grille arrière et le champ généré par les charges fixes dans le silicium comme dans un transistor MOS classique.

La modulation de la résistance série est également visible dans la zone linéaire de la caractéristique I_D-V_D à l'état passant ($V_G=1.8V$) montrée sur la figure ci-dessous (Fig. 3.6a) pour différent V_{B2} .

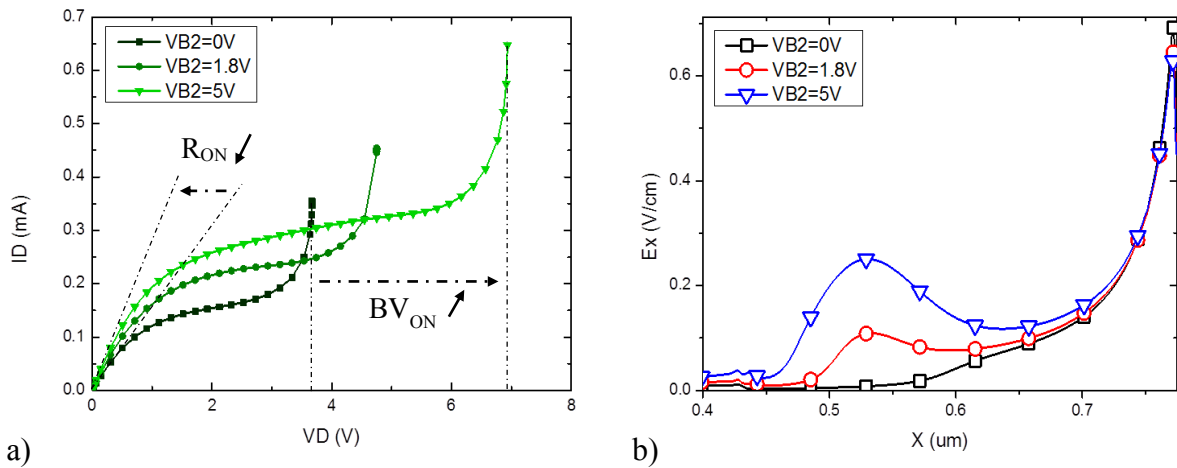


Figure 3.6: a) Courbes I_D-V_D et b) Profil du champ électrique latéral dans l'extension de drain au claquage pour différente tension V_{B2} . DGP EDMOS avec $L_{EXT}=350nm$, $V_{B1}=0V$, $V_G=1.8V$, $N_{EXT}=1.10^{18}cm^{-3}$. (Simulations).

A l'état passant, la polarisation arrière améliore le comportement en saturation de l'EDMOS. Le claquage est repoussé et la tenue en tension (BV_{ON}) augmente pour atteindre une valeur

supérieure à 5V. La Figure 3.6b illustre l'évolution de la composante latérale du champ électrique (E_x) obtenue au claquage. Encore une fois, la polarisation positive de la face arrière permet de diminuer la pointe de champ qui se situe, à l'état passant, majoritairement du côté du drain et de tenir une tension V_{DS} plus forte avant d'atteindre l'avalanche. La pointe de champ observée au niveau de la grille à l'état bloqué disparaît à l'état passant car la grille est polarisée et la couche d'inversion formée.

3.2.3. Impact de la position du Dual Ground Plane

L'architecture Dual Ground Plane EDMOS repose sur l'utilisation de deux GPs de types différents sous l'oxyde enterré. L'influence de la position de la jonction GP-N/GP-P vis-à-vis de l'EDMOS est donc l'un des principaux paramètres à étudier pour explorer le comportement de cette solution innovante. Des simulations ont ainsi été réalisées pour deux positions référencées par rapport au bord de grille du côté du drain (Fig. 3.7) :

- $OV_{GP} = -100$ nm, ce qui correspond à une jonction PN située sous la grille de l'EDMOS au milieu de l'overlap ($OV=200$ nm) de la grille sur la zone dopée (Fig. 3.7b).
- $OV_{GP} = +100$ nm correspondant au cas précédent avec la jonction dans l'extension à 100nm du bord de grille (Fig. 3.7a).

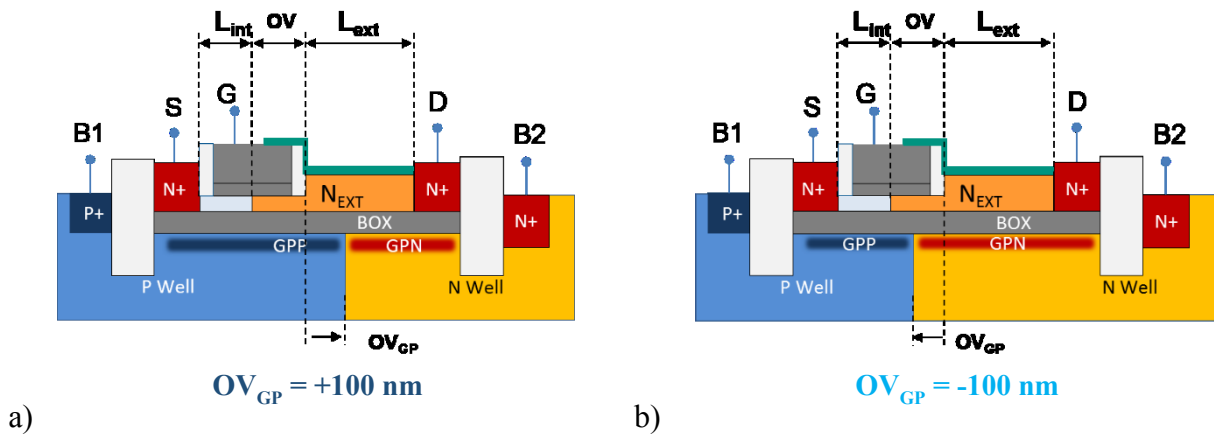


Figure 3.7 : Illustration de la position OV_{GP} de la jonction du Dual Ground Plane.

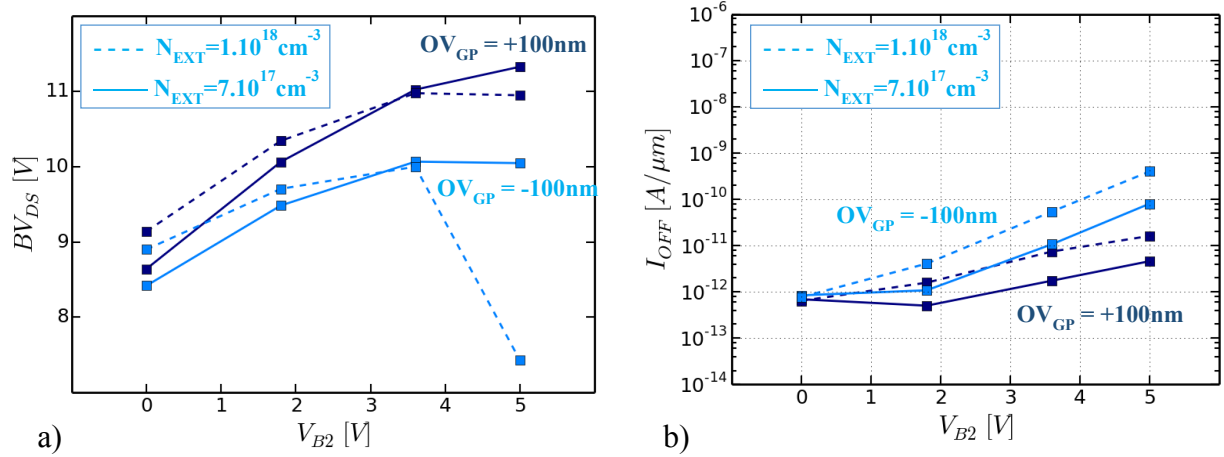


Figure 3.8 Evolution de la tenue en tension (BV_{DS}) et du courant de fuite (I_{OFF}) avec la tension de face arrière V_{B2} pour différents OV_{GP} . DGP EDMOS avec $L_{EXT}=350\text{nm}$, $OV_{GP}=-100\text{nm}$ et $+100\text{nm}$, $OV=200\text{nm}$, $V_{B1}=0\text{V}$, $V_G=0\text{V}$, $N_{EXT}=7.10^{17}\text{cm}^{-3}$ / 1.10^{18}cm^{-3} . (Simulations)

Nous vérifions par ces simulations que l'effet analogue au RESURF est conservé pour une jonction PN située sous la grille (Figures 3.8 et 3.9). Dans ce cas ($OV_{GP} = -100 \text{ nm}$), la polarisation V_{B2} permet toujours d'étendre les équipotentiels sans augmentation exponentielle du courant de fuite I_{OFF} induit par abaissement de la tension de seuil du MOS intrinsèque. En revanche, comme la jonction est située sous la grille, il n'y pas de reprise de potentiel dans l'extension et les équipotentiels vont se concentrer au bord de grille pour une tension V_{B2} plus faible que dans le cas $OV_{GP} = +100 \text{ nm}$. Ceci explique l'augmentation du courant de fuite I_{OFF} (Fig. 3.8b) et la diminution de la tenue en tension BV_{DS} (Fig. 3.8a) plus importantes dans le cas d'une jonction située sous la grille, notamment pour $N_{EXT} \geq 1.10^{18}\text{cm}^{-3}$.

De même, la modulation de la résistance série et l'augmentation du courant linéaire sont conservées comme exposé sur la Figure 3.9.

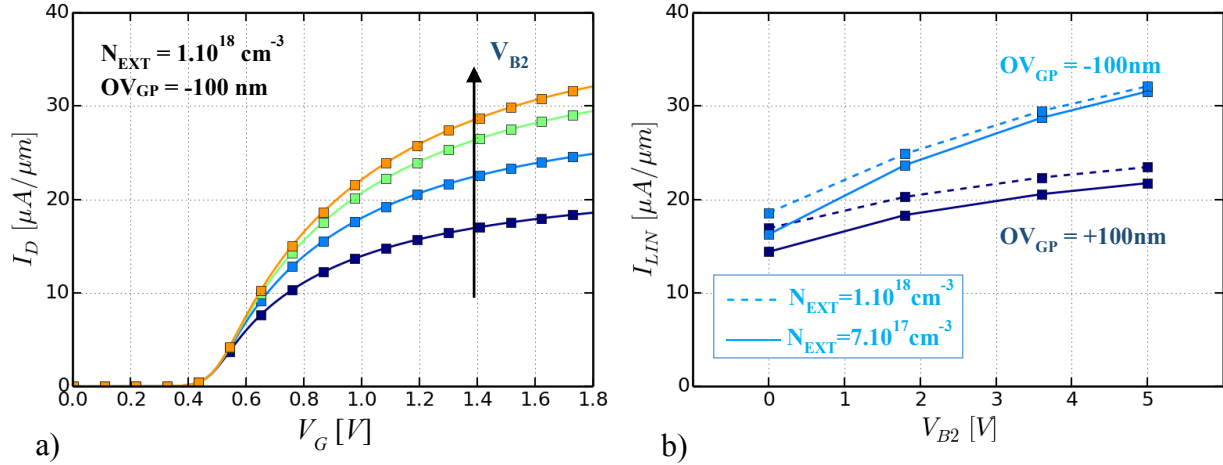


Figure 3.9: a) Caractéristiques I_D - V_G pour différents V_{B2} et b) Courant linéaire I_{LIN} extrait pour différents OV_{GP} et niveaux de dopage. DGP EDMOS avec $L_{EXT}=350\text{nm}$, $OV=200\text{nm}$, $OV_{GP}=-100\text{nm}$, $V_{B1}=0\text{V}$, $N_{EXT} = 7.10^{17}\text{cm}^{-3}$ / 1.10^{18}cm^{-3} . (Simulations)

Avec une jonction sous la grille, la tension de seuil $V_{TH} \sim 0.49\text{V}$ du MOS intrinsèque n'est toujours pas modifiée avec la polarisation du second caisson sous le BOX (Fig. 3.9a). De plus, l'effet de modulation de la résistance série obtenu est plus important dans ce dernier cas par rapport au cas $OV_{GP} = +100 \text{ nm}$. La Figure 3.9b) montre qu'avec un dopage de $N_{EXT}=7.10^{17}\text{cm}^{-3}$ (plus approprié d'un point de vue de la tenue en tension), l'amélioration sur le courant I_{LIN} atteint près de +73% ($OV_{GP} = -100\text{nm}$) contre seulement +38% ($OV_{GP} = +100\text{nm}$). En effet, dans le cas où $OV_{GP} = -100\text{nm}$, tout le film de silicium non recouvert par la grille est contrôlé et accumulé par la seconde grille arrière (B2). A l'inverse dans le cas précédent, il existe une portion de film qui reste non contrôlée et où la densité de porteurs n'augmente pas. La résistance série de ce barreau reste forte et la modulation est limitée. On constate également qu'avec un plus grand recouvrement de la seconde grille arrière ($OV_{GP} = -100\text{nm}$), le cas d'un dopage plus faible $N_{EXT}=1.10^{17}\text{cm}^{-3}$ devient favorable d'un point de vue du courant en raison d'une plus forte modulation par V_{B2} .

▪ Conclusion de l'étude par simulation sur le DGP EDMOS:

Le Dual Ground Plane permet simultanément de répartir le champ et d'accumuler le film mince pour ainsi obtenir des compromis intéressants en termes de courant linéaire ($I_{LIN} \sim 20\text{-}35\mu\text{A}/\mu\text{m}$) et de tenue en tension ($BV_{DS} > 5\text{V}$) pour de faibles dopages de l'extension tout en garantissant un V_{TH} et un I_{OFF} adaptés. A l'aide de la polarisation de la seconde grille arrière sous la zone d'extension de drain, cette architecture peut ainsi s'adapter à des niveaux de dopages N_{EXT}

différents. Ceci permet de s'adapter au dopage disponible dans la technologie CMOS en question et d'éviter le rajout d'un masque pour la réalisation d'un MOS haute tension. Dans le cas d'un dopage relativement faible, nous avons établi que le cas $OV_{GP} = -100$ nm était favorable et devra être a priori privilégié.

L'effet de la tension de face arrière V_{B2} est proche d'un effet de **RESURF induit électrostatiquement**. A la manière d'un accroissement du niveau de dopage de la zone de dérivation exploitant l'effet RESURF, l'augmentation de V_{B2} permet d'améliorer simultanément la tenue en tension et la résistance linéaire de la région d'extension de drain.

3.3. Fabrication du dispositif

Après avoir étudié par simulations numériques le comportement du **DGP EDMOS**, nous nous intéressons à sa conception et sa fabrication dans les nœuds **28nm** [6], [7] et **14nm FDSOI** [8].

3.3.1. Technologie 28nm FDSOI

Pour obtenir le Dual Ground Plane EDMOS en 28nm FDSOI, nous avons récupéré les dessins des structures EDMOS transposés sur SOI (section 2.2) que nous modifions en introduisant un GP de type N tout en respectant les règles de conception du procédé de fabrication industriel du 28nm FDSOI STMicroelectronics. En suivant le procédé standard, les structures ont été fabriquées sur un substrat SOI ultramine avec un BOX de 25nm afin d'obtenir un film sous grille de $t_{Si} = 7$ nm et une zone d'extension de drain épitaxiée et non dopée ($t_{EXT} = 23$ nm) comme l'illustre la Figure 3.10.

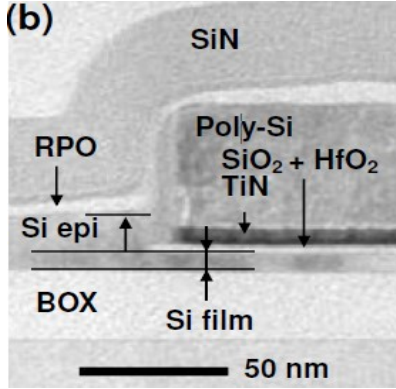


Figure 3.10: Coupe TEM du bord d'un empilement de grille fabriqué en 28nm FDSOI illustrant l'épitaxie non dopée en bord de grille (d'après [9]).

Afin de montrer l'intérêt de l'architecture DGP EDMOS en 28nm par rapport aux essais du chapitre 2, un seul implant est désormais considéré pour l'implantation de la zone d'extension de drain. Cet implant est dépendant du procédé CMOS standard et n'est donc pas adapté pour la réalisation d'un MOS haute tension. Il s'agit d'un implant de type N réalisé avant le dépôt de l'empilement de grille avec une énergie faible et une dose de $5.10^{13} \text{ cm}^{-2}$. Cet unique implant donne un niveau de dopage faible qui conduit à une forte résistance série comme nous avons pu l'étudier (section 2.2).

Par ailleurs, nous nous sommes assurés que la jonction entre les GP-P et GP-N présentait un courant de fuite inverse I_{B2} adapté (Fig. 3.11) pour toutes les polarisations requises (entre 0 et 6V typiquement).

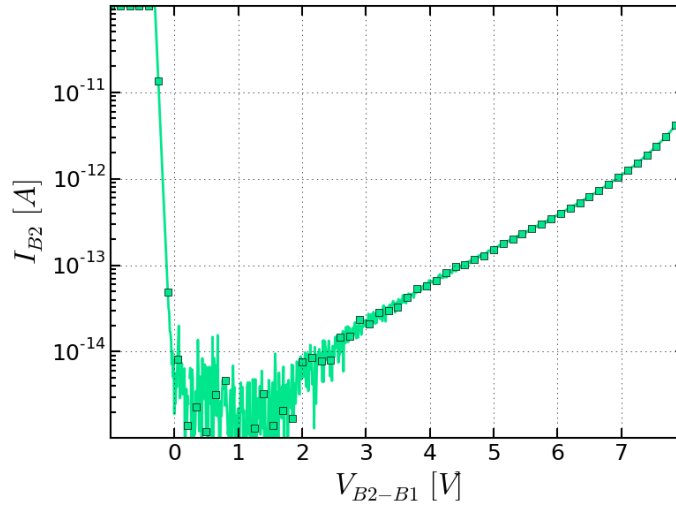
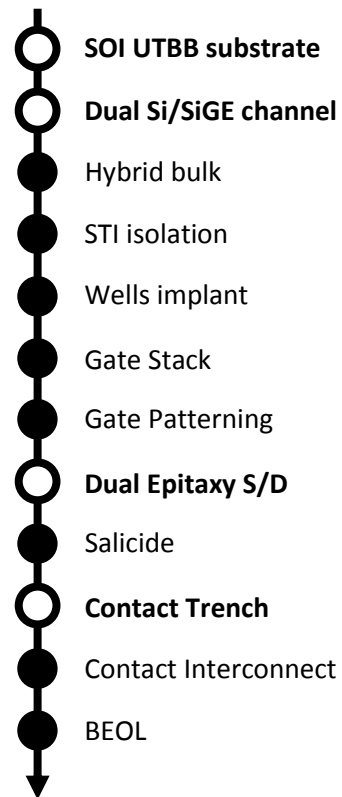


Figure 3.11: Mesure du courant de fuite de la diode entre GP-P (V_{B1}) et GP-N (V_{B2}) sous le BOX des structures de test DGP EDMOS obtenues en conservant le GP-P à la masse. Ce courant est l'ensemble des fuites mesurées dans une barrette (scribe) de test entière : il surestime donc la fuite sous un dispositif élémentaire.

3.3.2. Technologie 14nm FDSOI

Des EDMOS ont aussi été conçus et dessinés en 14nm FDSOI en s'adaptant au procédé industriel STMicroelectronics (en développement au moment de ces travaux). Les nœuds technologiques 28nm et 14nm ne sont cependant pas équivalents : au-delà d'une finesse de gravure plus importante, il existe des différences dans le procédé de fabrication CMOS qui ont influencé les choix effectués lors de la conception des échantillons (Fig. 3.12).

Figure 3.12: Diagramme simplifié du procédé de fabrication de la technologie 14nm UTBB-FDSOI. Les principales étapes différentes par rapport au nœud 28nm sont signifiées en gras.



Les principales différences avec le nœud 28nm sont listées ci-dessous :

- Afin d'améliorer l'intégrité électrostatique, le 14nm FDSOI utilise un substrat SOI aminci dans lequel les épaisseurs de l'oxyde enterré et du film de silicium sont ramenées respectivement à $t_{BOX} = 20$ nm et à $t_{Si} = 6$ nm.
- Les épitaxies utilisées pour surélever les zones de source et de drain sont dopées in-situ. Afin de garantir aux CMOS des résistances d'accès faibles, leur niveau de dopage N_{SD} est

très fort ($N_{SD} > 1.10^{20} \text{ cm}^{-3}$). Il n'est alors pas possible d'obtenir un film de silicium surélevé et faiblement dopé dans la zone d'extension de drain.

- Les contacts de source/drain ne sont plus discrets mais en forme de tranchées continues (on parle de « trench contact » en anglais [11]). Ces tranchées permettent notamment de gagner en densité d'intégration en réalisant des interconnexions locales entre les transistors sans passer par le premier niveau de métal.
- Après ouverture des zones hybrides, la surface du silicium est ramenée à niveau par épitaxie afin d'éviter des marches dans la topographie et garantir la précision de la lithographie.
- Enfin, lors de ces travaux, aucune étape n'était disponible pour réaliser l'implantation du film mince.

On retiendra qu'outre les épaisseurs du substrat SOI, les points prépondérants pour la conception d'un MOS haute tension en 14nm sont, d'une part le fait de ne pas pouvoir bénéficier d'une zone de drain épitaxiée (sous peine que celle-ci soit trop dopée) et d'autre part de devoir conserver un film de silicium **non dopé** sur toute sa longueur (Fig. 3.13).

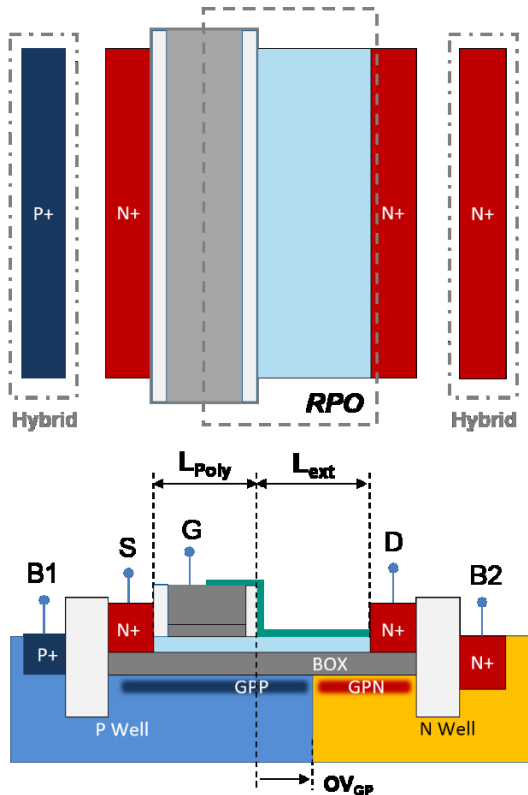


Figure 3.13: Vue de dessus et coupe schématique du DGP EDMOS en 14nm FDSOI.

La Figure 3.14 montre des vues en coupe d'un DGP EDMOS fabriqué dans le nœud 14nm FDSOI. Ces coupes ont été réalisées au microscope électronique à transmission (TEM) dans le laboratoire de caractérisation physique de STMicroelectronics à Crolles.

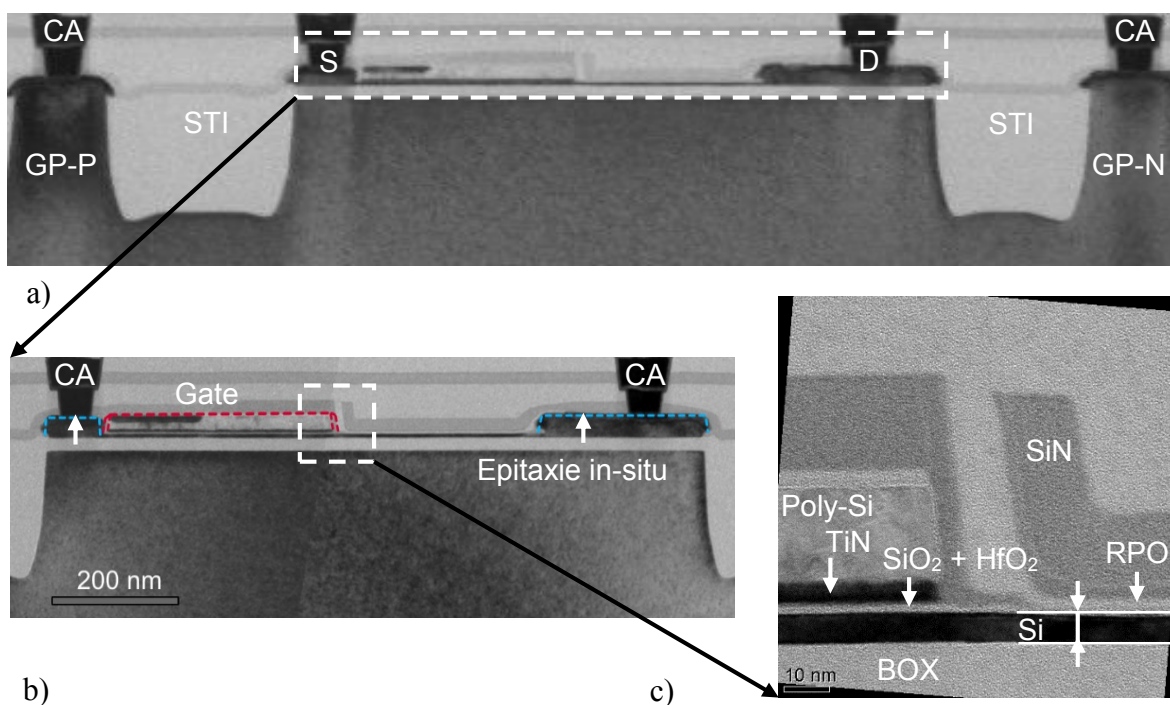


Figure 3.14: Coupe TEM d'un DGP EDMOS fabriquée en technologie 14nm FDSOI illustrant le film mince non dopé et l'empilement de grille.

Les deux GPs N et P sont connectés à l'aide de prises dédiées en zone hybrides. Dans les structures de tests mesurées, ces connexions sont localisées de part et d'autre du dispositif et isolées par des STI. Il est observé que, contrairement au nœud 28nm, les surfaces des zones hybrides et sur isolant sont coplanaires (Fig. 3.14a). L'ensemble du transistor EDMOS est visible sur la seconde coupe 3.14b. La grille est composée d'un oxyde de silicium (SiO_2) pour garantir une interface de bonne qualité, d'un matériau haute permittivité, ici le dioxyde d'Hafnium (HfO_2), puis d'un métal « Mid-Gap » et finalement d'un silicium poly-cristallin. Les régions de source/drain sont surélevées par rapport au film mince de silicium ($t_{\text{Si}} = 6 \text{ nm}$) qui ressort par une fine couche sombre courant le long du dispositif. L'oxyde enterré ($t_{\text{BOX}} = 20 \text{ nm}$) est visible en contraste clair sous le silicium. Un zoom sur la zone du bord de grille est présenté sur la Figure 3.14c. Contrairement au nœud 28nm, la zone d'extension de drain n'est pas épitaxiée et le silicium garde

une épaisseur constante entre la source et le drain. Celui-ci est recouvert par un oxyde de protection (RPO) afin d'empêcher sa siliciuration lors la réalisation des contacts. Dans cette zone, l'épaisseur de silicium est légèrement plus faible de quelques angströms en raison des dépôts et gravures successifs qui consomment du silicium au fur et à mesure. Ceci augmente encore la résistance linéaire de ce film de silicium non dopé. Pour éviter de mauvaises interactions entre les différentes étapes du procédé, le RPO doit déborder sur la grille et les source/drain. Ainsi la figure 3.14b montre que la grille n'est pas siliciurée sur toute sa surface : on pourra chercher à optimiser ce recouvrement pour des questions de résistance de grille. En effet des travaux montrent qu'avec une grille en polysilicium cette siliciuration partielle peut augmenter la résistance de grille et diminuer les performances RF du dispositif [10].

3.4. Caractérisation

Dans cette partie, nous nous intéressons à la caractérisation des échantillons fabriqués en 28nm et 14nm afin de valider expérimentalement le fonctionnement du Dual Ground Plane EDMOS en technologie FDSOI. Nous présentons les caractéristiques mesurées à température ambiante ($T = 25^{\circ}\text{C}$) dans les deux nœuds technologiques pour un DGP EDMOS ($L_{\text{EXT}}=300\text{nm}$) avec une jonction entre le GP-P et le GP-N située sous la grille ($OV_{\text{GP}} = -100 \text{ nm}$). Nous avons en effet observé par simulations numériques (cas 28nm) que cette configuration des GPs était un cas favorable pour des niveaux de dopages faibles comme ceux de nos échantillons. Les longueurs des empilements de grille sont identiques dans les deux nœuds technologiques.

3.4.1. Caractéristiques électriques et performances

▪ Caractéristiques I_D-V_D en fonction de V_{B2}

En premier lieu, nous nous intéressons à l'effet de la polarisation de la face arrière V_{B2} sur la tenue en tension des dispositifs. Les mesures I_D-V_D à l'état bloqué ($V_G=0\text{V}$) sont présentées pour l'EDMOS en 28nm (à gauche en vert, Fig. 3.15a) et pour l'EDMOS en 14nm FDSOI (à droite en bleu, Fig. 3.15b). Pour étudier l'impact de la seconde grille arrière (B2) sur la tension de claquage, le GP de type P reste connecté à la masse ($V_{B1}=0\text{V}$) tandis que le GP de type N est polarisé avec

différentes tensions V_{B2} . Ces mesures étant destructrices, chaque courbe correspond à un échantillon différent.

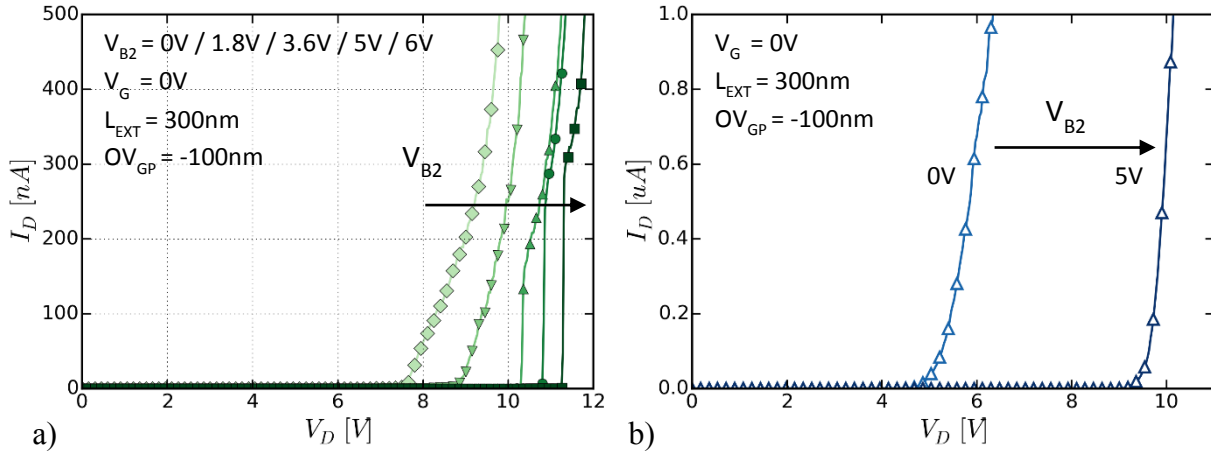


Figure 3.15: Caractéristiques I_D - V_D mesurées pour différents V_{B2} à l'état bloqué ($V_G=0V$). DGP EDMOS en a) 28nm et b) 14nm. $V_{B1}=0V$.

On constate que la tenue en tension à l'état bloqué BV_{OFF} (extraite à $I_{BV}=100$ nA) est bien modulée dans les deux nœuds technologiques en polarisant le GP-N:

- En 28nm, BV_{OFF} passe de 8.3V ($V_{B2}=0V$) à plus de 10.8V ($V_{B2}=5V$).
- En 14nm, BV_{OFF} augmente de 5.6V ($V_{B2}=0V$) à plus 9.8V ($V_{B2}=5V$).

Ce résultat confirme la capacité du second GP à mieux répartir le champ électrique dans la région d'extension de drain et permettre d'atteindre des tenues en tension de l'ordre de 10V excédent la tension de 5V visée. On observe cependant que la sensibilité de la tenue en tension est plus forte dans le cas du 14nm. Ceci peut s'expliquer par un couplage électrostatique plus fort en raison d'un BOX aminci et d'un dopage plus faible. Par ailleurs, sans polarisation du GP-N, la tenue en tension est inférieure dans le cas du 14nm FDSOI. En effet, contrairement au 28nm où le film est légèrement dopé et épitaxié, le film de 6 nm non dopé ne permet de soutenir qu'une plus faible tension de drain. Avec un oxyde enterré aminci sous le drain ($t_{BOX} = 20$ nm), les lignes équipotentielles sont compressées de façon plus importante. Elles rebouclent plus rapidement au niveau de la transition du drain et de la zone d'extension induisant un très fort champ électrique responsable de la limitation de la tenue en tension. Cette configuration défavorable nécessite une tension de face arrière positive pour diminuer la forte pointe de champ localisé en bord de drain et garantir un dispositif pouvant soutenir 5V avec une marge raisonnable.

Les caractéristiques I_D - V_D à l'état passant ($V_G=1.8V$) sont illustrées sur la figure 3.16.

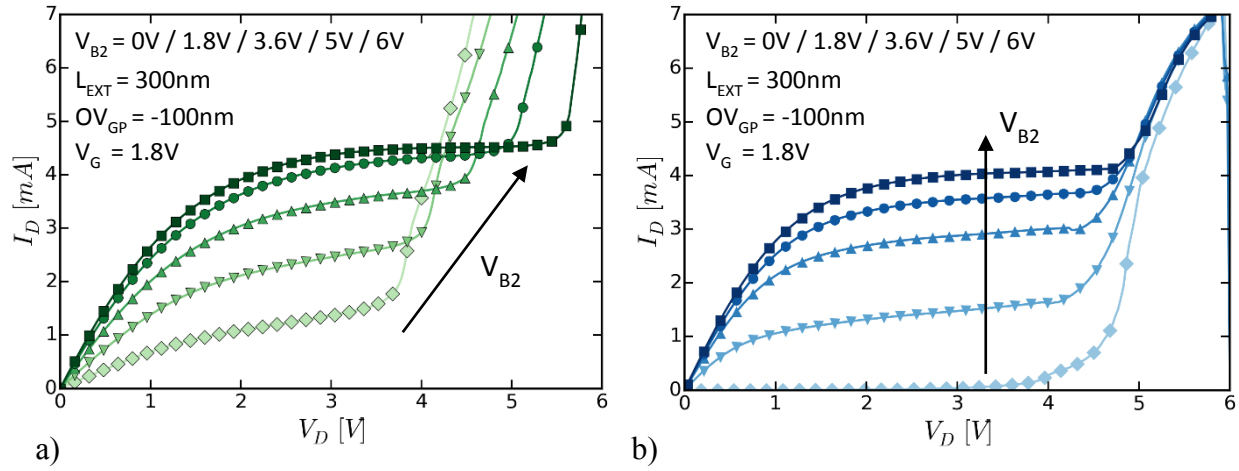


Figure 3.16: Caractéristiques I_D - V_D mesurées pour différents V_{B2} à l'état passant ($V_G=1.8V$). DGP EDMOS en a) 28nm et b) 14nm. $V_{B1}=0V$.

Comme observé lors des simulations, la polarisation du GP-N permet l'amélioration du comportement en saturation du transistor et la résistance R_{ON} est réduite. Les niveaux de courant obtenus en saturation et les tensions de claquage sont du même ordre de grandeur pour les deux nœuds. Si la tension de claquage augmente, comme observé en simulation, dans le cas du 28nm FDSOI, le gain est en revanche limité en 14nm. Dans ce cas, une fois le claquage électrique apparu le courant est confondu pour l'ensemble de tensions de face arrière V_{B2} . Les deux DGP-EDMOS soutiennent difficilement 5V avec un $V_{B2}=5V$ (ce qui n'est pas nécessaire pour les applications de conversion en classe commutée). En revanche, la tenue en tension de 3.6V est largement atteinte avec $V_{B2}=3.6V$.

▪ Caractéristiques I_D - V_G en fonction de V_{B2}

Les caractéristiques I_D - V_G en régime ohmique ($V_D=0.1V$) en fonction de V_{B2} permettent de mettre en avant la modulation du courant linéaire I_{LIN} et de la résistance série (Fig. 3.17).

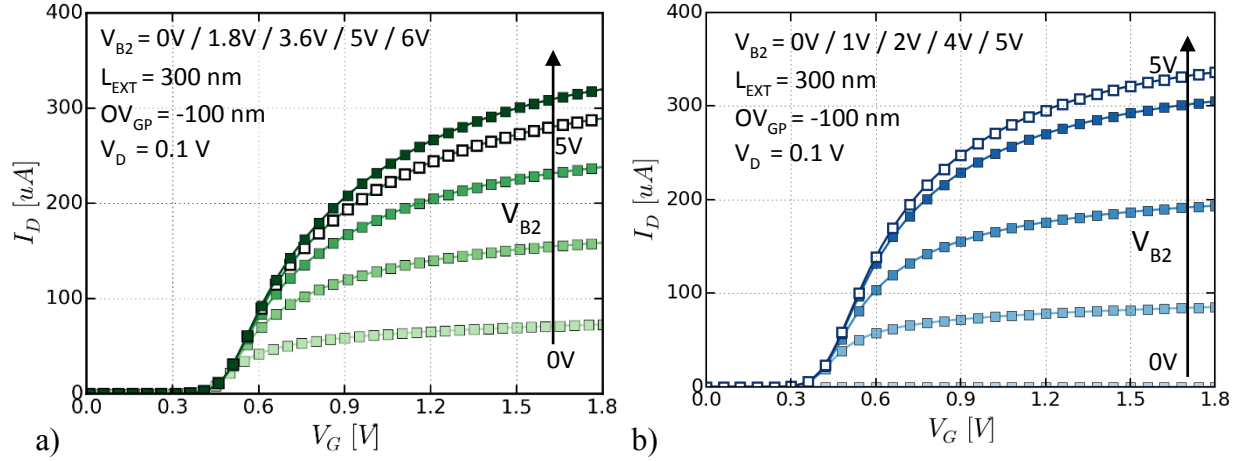


Figure 3.17: Caractéristiques expérimentales I_D - V_G pour différents V_{B2} en régime linéaire ($V_D = 0.1$ V). DGP EDMOS en a) 28 nm et b) 14 nm. $V_{B1} = 0V$.

Ces mesures confirment l'augmentation du courant de drain I_{LIN} avec la tension de la grille arrière (B2). Elles valident également que la tension de seuil du transistor n'est pas modifiée (Fig. 3.18). Grâce à l'accumulation de porteurs dans le film mince par un V_{B2} positif, I_{LIN} augmente avec V_{B2} . Il apparait que, sans polarisation de face arrière sur le GP-N ($V_{B2} = 0V$), le Dual Ground Plane EDMOS réalisé dans le procédé de fabrication du 14 nm FDSOI, présente une très forte résistance linéaire $R_{ON} > 1.10^9$ Ohms (avec un $I_{LIN} \sim 1.10^{-10}$ A pour un $V_D = 0.1V$). Le courant I_D reste faible indépendamment de la tension de grille (Figure 3.21a). Une polarisation V_{B2} positive permet d'inverser le silicium intrinsèque (faiblement de type P) dans la zone d'extension de drain et d'accumuler des porteurs minoritaires (électrons). La résistance série liée à l'extension de drain chute et le courant I_D augmente (Figure 3.17b).

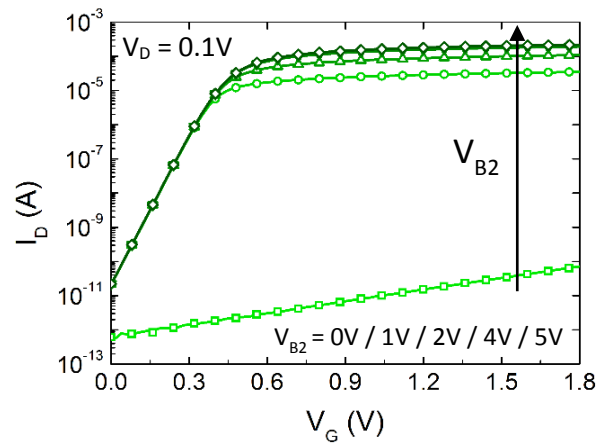


Figure 3.18: Mesures du DGP EDMOS en 14 nm FDSOI. Caractéristiques I_D - V_G en régime linéaire en échelle logarithmique.

Pour vérifier que la tension de seuil et le courant de fuite ne sont pas impactés par la tension de drain V_D , nous avons réalisé des mesures des caractéristiques de transfert I_D - V_G des EDMOS en régime saturé (Fig. 3.19).

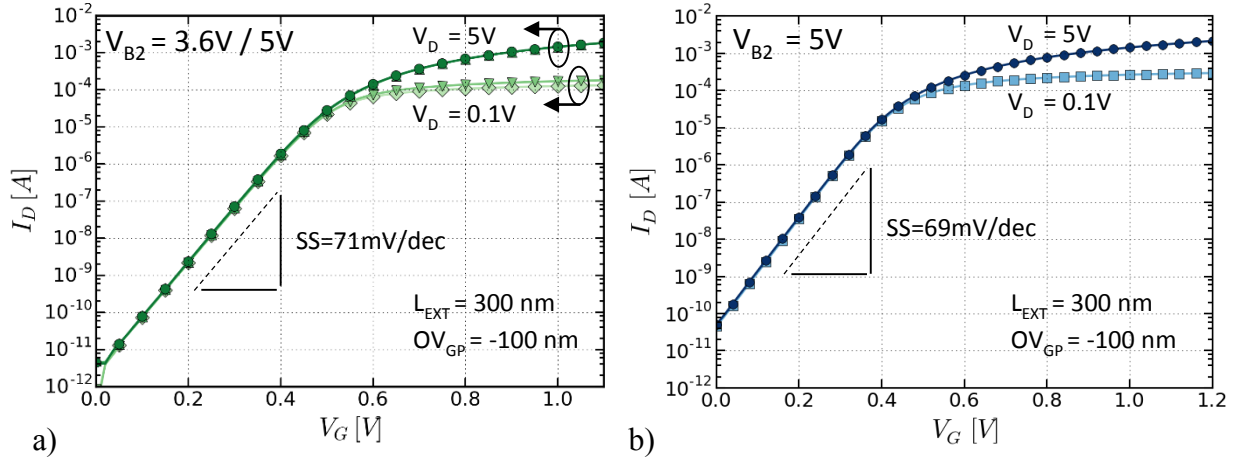


Figure 3.19: Caractéristiques I_D - V_G pour différents V_{B2} en régime linéaire et saturé ($V_D = 0.1\text{ V}$ et 5 V). DGP EDMOS en a) 28nm et b) 14nm. $V_{B1}=0V$ (Mesures).

Les mesures révèlent une pente sous le seuil faible de l'ordre de :

- 71mV/décade en 28nm FDSOI (CET = 3.7nm).
- 69mv/décade en 14nm FDSOI (CET = 3.4nm).

Grâce à l'excellent contrôle électrostatique du FDSOI et une extension de drain correctement conçue (et polarisée), aucun DIBL n'est mis en évidence entre les régimes linéaire ($V_D=0.1V$) et saturé ($V_D=5V$). On observe de plus que les tensions de seuil des transistors $V_{TH_28nm} \approx 0.49V$ et $V_{TH_14nm} \approx 0.39\text{ V}$ ne sont pas identiques. Ce décalage de V_{TH} explique, avec une tension de seuil plus forte pour le 28nm FDSOI, le courant de fuite I_{OFF} plus faible observé dans ce nœud. Celui-ci reste néanmoins inférieur à la valeur cible des $10\text{ pA} / \mu\text{m}$ dans les deux cas. Pour compenser cet écart induit par le procédé de fabrication du CMOS, grâce à l'architecture DGP, on pourrait envisager de jouer sur la polarisation (V_{B1}) du GP- P afin de régler le V_{TH} .

▪ Conduction en configuration diode (ou conduction en inverse)

Dans une alimentation en régime commuté, comme un convertisseur DC-DC demi-pont, il existe une phase pendant laquelle le MOS haute tension conduit en inverse. En effet, lorsque le

dispositif haut passe dans l'état bloqué et coupe l'alimentation de la charge, un courant inverse passe dans le MOS haute tension dans la branche basse. En technologie silicium massif, ce courant est évacué par la diode entre le drain et le caisson jouant le rôle de la « diode de roue libre » parfois rajoutée dans les circuits de puissance [11]. En FDSOI, l'oxyde enterré empêche la connexion directe du « body » du transistor et prévient l'évacuation du courant par cette diode. Dans une telle configuration, la tension de drain V_D chute jusqu'à passer sous la tension de seuil V_{TH} . Le transistor de la branche basse se débloquent et peut évacuer le courant en inverse. Le transistor est monté en diode avec $V_D < 0$ et $V_G = V_B = V_S$. Du point de vue du transistor MOS, le canal est formé et conduit en inverse $I_D < 0$. Cette situation est d'autant plus favorable que le MOS fonctionne alors en régime double grille. Ceci abaisse la tension de seuil V_{TH} et la pente sous le seuil et diminue la surtension vue aux bornes du MOS de la branche du haut. L'absence de diode de drain/caisson ne semble donc pas être un point bloquant pour l'utilisation du DGP EDMOS dans des convertisseurs DC/DC.

La caractéristique I_D - V_D du DGP EDMOS en montage de diode est décrite sur la Figure 3.20 :

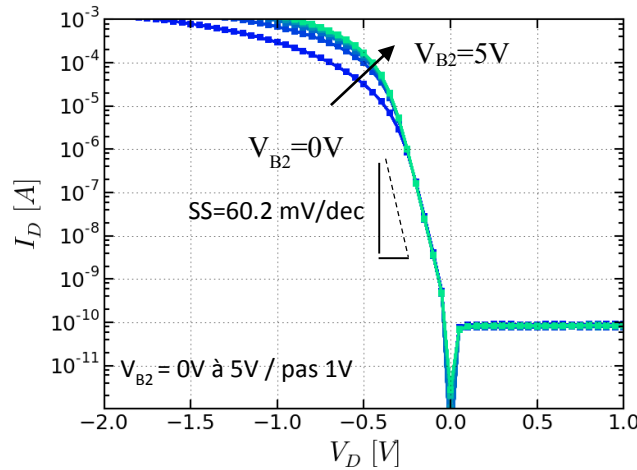


Figure 3.20: Mesures du DGP EDMOS en configuration diode. Cas 14nm FDSOI avec $V_G = V_S = V_{B1} = 0V$.

Dans ce régime de diode, l'influence de V_{B2} n'est visible qu'à fort courant quand le courant de conduction domine le courant de diffusion. En raison de son impact sur la résistance série du DGP EDMOS, un V_{B2} positif offre l'avantage d'augmenter le courant évacué par l'EDMOS en configuration diode (Figure 3.20).

3.4.2. Compromis $R_{ON.S}$ vs BV_{DS} réglable

Pour quantifier l'effet obtenu avec la polarisation V_{B2} , nous extrayons les figures de mérite des transistors DGP EDMOS caractérisés. A partir des courbes I_D - V_D mesurées à l'état bloqué, la tension de claquage BV_{OFF} est obtenue pour une densité de courant constante de $10^{-8}A/\mu m$ (Fig. 3.21).

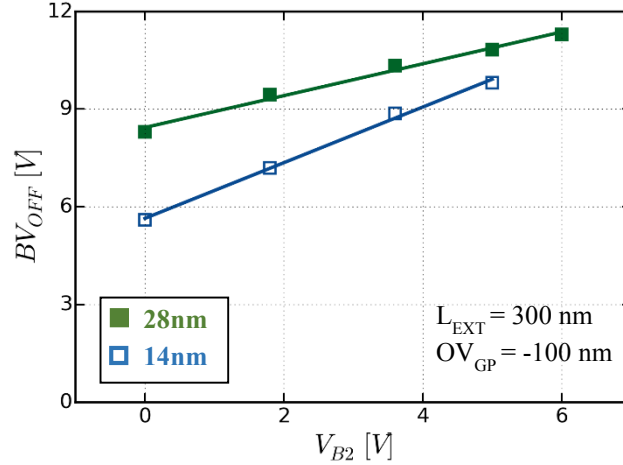


Figure 3.21: Tenue en tension à l'état bloqué BV_{OFF} du DGP EDMOS en fonction de la polarisation V_{B2} du GP-N.

Nous retrouvons le couplage plus fort dans le cas du 14nm (en symbole vide) qu'en 28nm. En effet la sensibilité (obtenue par régression linéaire) de la tenue en tension à la polarisation V_{B2} est d'environ :

$$\left| \frac{\Delta BV_{OFF}}{\Delta V_{B2}} \right|_{14nm} = 855mV/V$$

$$\left| \frac{\Delta BV_{OFF}}{\Delta V_{B2}} \right|_{28nm} = 489mV/V$$

Il en est de même avec la modulation du courant linéaire I_{LIN} et de la résistance série (Fig. 3.22).

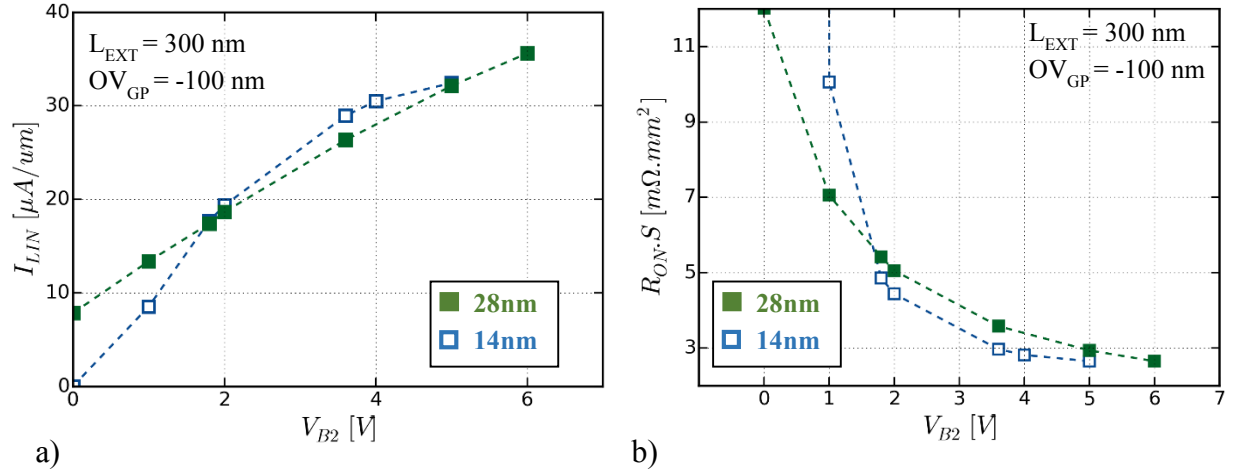


Figure 3.22: Courant linéaire I_{LIN} et $R_{ON.S}$ du DGP EDMOS en fonction de la polarisation V_{B2} du GP-N.

Cette amélioration du courant conduit à la réduction de la résistance passante spécifique ($R_{ON.S}$) vers des valeurs très prometteuses par rapport à l'état de l'art rapporté [12]. Ainsi dans les deux nœuds technologiques 28nm et 14nm FDSOI, nous avons obtenu des $R_{ON.S}$ en dessous de $3m\Omega.mm^2$ ($V_{B2} = 5V$) et de $4m\Omega.mm^2$ ($V_{B2} = 3.6V$) avec :

- en 28nm, respectivement $2.93 m\Omega.mm^2$ et $3.58 m\Omega.mm^2$.
- en 14nm, respectivement $2.65 m\Omega.mm^2$ et $2.97 m\Omega.mm^2$.

Les résultats obtenus sont résumés à travers la figure de mérite du compromis $R_{ON.S}/BV_{OFF}$ en fonction de V_{B2} pour les deux DGP EDMOS caractérisés (fig. 3.23). Ces compromis sont prometteurs pour des applications 5V et 3.6V en technologie FDSOI (notamment en mode commuté) avec des tenues en tension supérieures à 5V à l'état bloqué et des résistances spécifiques faibles.

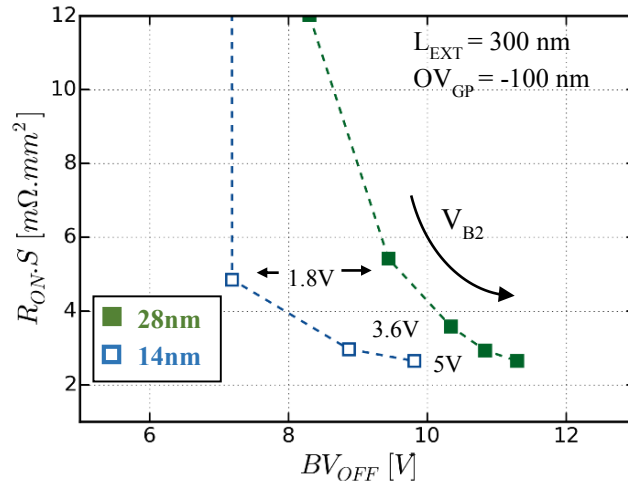


Figure 3.23: Compromis résistance passante spécifique / tenue en tension en fonction de V_{B2} pour les DGP EDMOS en 28nm et 14nm FDSOI.

3.5. Etudes des effets de la géométrie

Dans le but d'étudier l'impact des paramètres géométriques sur le comportement électrique du dispositif, plusieurs structures ont été dessinées avec différentes configurations. Les échantillons fabriqués présentent notamment des variations :

- de la longueur d'extension de la zone de drain (L_{EXT})
- de la longueur de recouvrement (OV) de la grille sur la zone implantée (cas 28nm)
- de la position de la jonction du Dual Ground Plane sous le BOX par rapport à la fin du canal (OV_{GP}).

3.5.1. Impact de la longueur de la région d'extension

▪ Impact de la longueur (L_{EXT}) :

La Figure 3.15 illustre l'influence de la longueur (L_{EXT}) du DGP EDMOS en 28nm FDSOI. Les résultats sont présentés à travers le compromis $R_{ON}.S/BV$. Le paramètre L_{EXT} varie entre 250nm et 350nm.

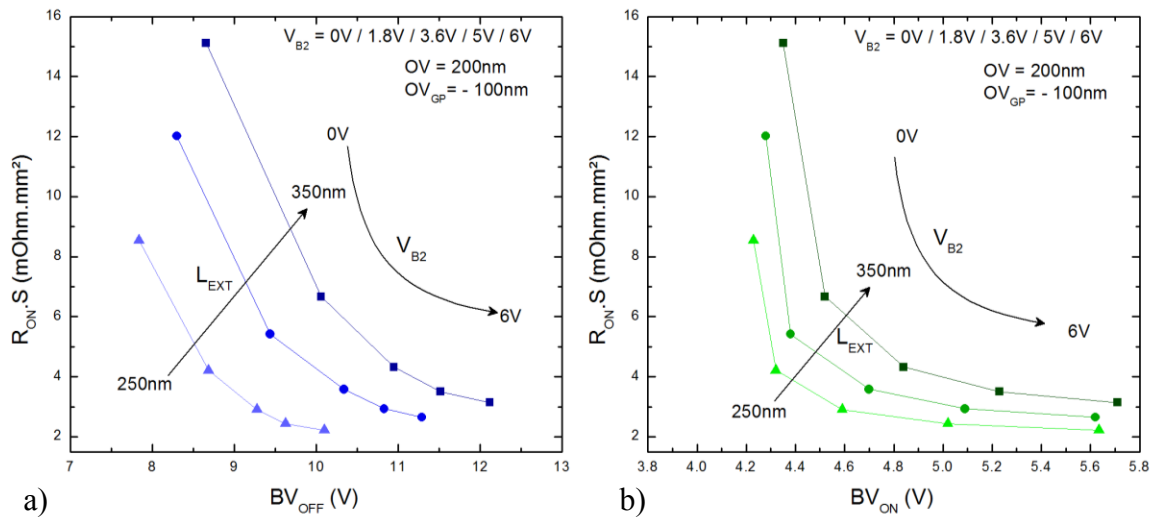


Figure 3.24: Compromis résistance passante spécifique / tenue en tension en fonction de V_{B2} pour différents L_{EXT} : a) $R_{ON}.S$ vs. BV_{OFF} et b) $R_{ON}.S$ vs BV_{ON} . DGP EDMOS en 28nm avec $V_{B1}=0V$. (Mesures)

Comme observé classiquement pour les MOS haute tension, la résistance série (intrinsèquement très forte pour un film ultramince faiblement dopé) augmente avec la longueur L_{EXT} . Sans polarisation de face arrière, celle-ci augmente de $8.5 \text{ m}\Omega.\text{mm}^2$ à $15 \text{ m}\Omega.\text{mm}^2$ lorsque L_{EXT} passe de 250 nm à 350 nm . En revanche, la tenue en tension est améliorée.

Il est intéressant de remarquer que l'effet de L_{EXT} est modulé par la polarisation arrière V_{B2} en particulier à l'état bloqué (Fig. 3.24a). Ainsi l'influence de L_{EXT} sur la résistance série est réduite tandis que l'effet sur la tenue en tension BV_{OFF} est accentué pour des valeurs de V_{B2} plus élevées. Par exemple, l'écart entre les tensions de claquage (ΔBV_{OFF}) entre $L_{EXT} = 250 \text{ nm}$ et $L_{EXT} = 350 \text{ nm}$ vaut $\Delta BV_{OFF} \sim 0.8 \text{ V}$ pour $V_{B2} = 0 \text{ V}$ et $\Delta BV_{OFF} \sim 2 \text{ V}$ pour $V_{B2} = 6 \text{ V}$. Ce comportement est typique d'un effet RESURF: lorsque le niveau de dopage (ici, électrostatique) augmente la résistance linéaire de la zone d'extension de drain diminue alors que la tenue en tension augmente.

On retrouve ce comportement dans le cas du DGP EDMOS en 14 nm (Fig. 3.25 et 3.26). Dans ce cas, l'effet est exacerbé. Sans polarisation V_{B2} , le claquage est contrôlé uniquement par le fort champ localisé au niveau du drain. Il est dû au film de silicium non dopé et au BOX mince et est alors indépendant de la longueur L_{EXT} (Fig. 3.25a). En revanche, quand V_{B2} augmente, l'effet de la grille arrière rend son rôle de tampon à la zone entre le drain et la grille. On retrouve alors la dépendance de la tenue en tension avec L_{EXT} (régime de perçage [10]). On observe que l'effet sature à partir de $L_{EXT} = 400 \text{ nm}$ pour lequel on se retrouve à nouveau en régime de pure avalanche ([10]).

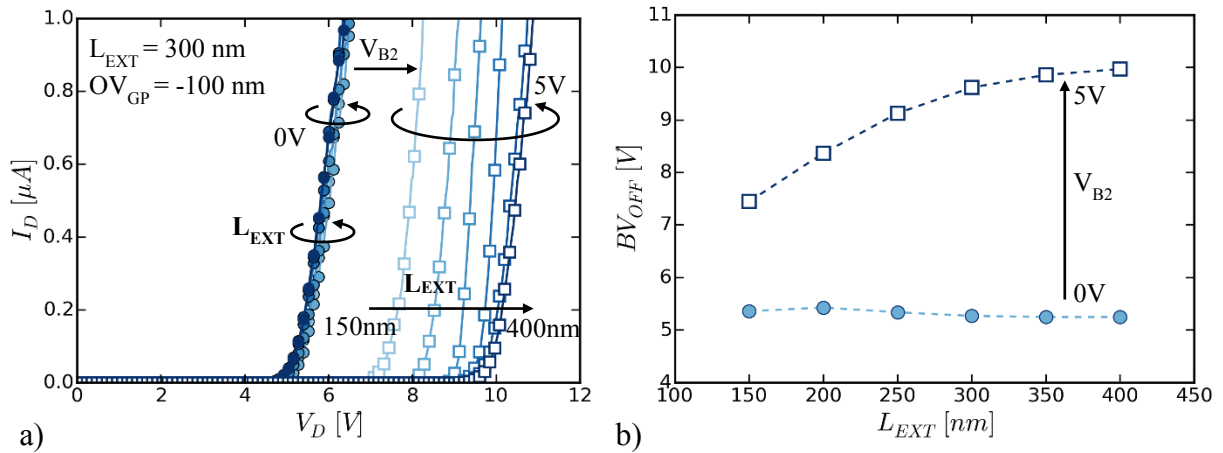


Figure 3.25: a) Caractéristiques I_D - V_D à l'état bloqué ($V_G=0 \text{ V}$) du DGP EDMOS en 14 nm et b) tenue en tension BV_{OFF} pour différentes longueurs L_{EXT} .

De même qu'en 28nm, V_{B2} diminue l'impact de la résistance apportée par la zone d'extension de drain. La Figure 3.26, illustre la résistance à l'état passant (en régime linéaire $V_D = 0.1V$) du DGP EDMOS en fonction de la longueur L_{EXT} en fonction de V_{B2} .

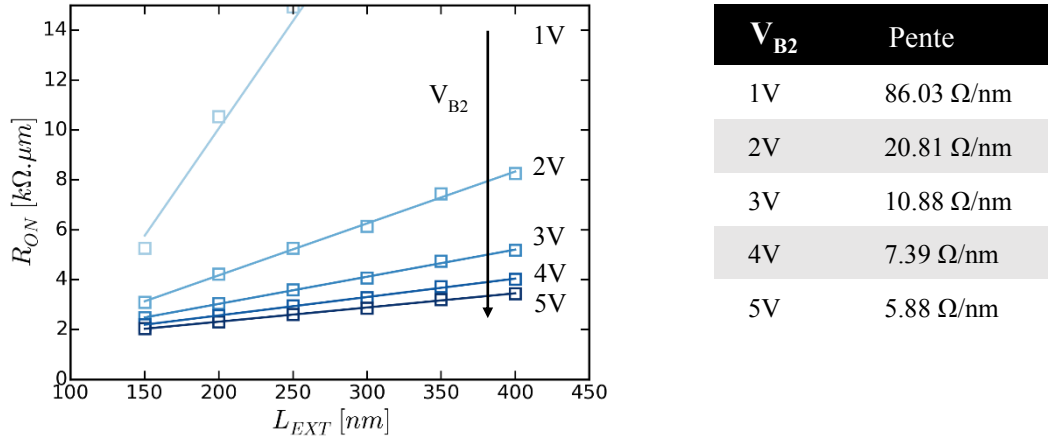


Figure 3.26: Résistance passante ($V_D=0.1V$) par micromètre de largeur du DGP EDMOS en 14nm en fonction de la longueur d'extension L_{EXT} . $V_{B1}=0V$, $OV_{GP} = -100\text{nm}$. (Mesures).

Ceci nous permet d'extraire la résistance par carré du film mince en silicium de la zone d'extension de drain en fonction de la polarisation de la grille arrière. En appliquant la même méthode en 28nm, nous obtenons le Tableau 3.1 :

Tableau 3.1: Résistance par carré du film mince de silicium en fonction de la polarisation de la face arrière

$OV_{GP} = -100\text{nm}$	Résistance par carré ($\text{k}\Omega/\square$)		
	$V_{B2} = 5V$	$V_{B2} = 3.6V$	$V_{B2} = 1.8V$
14 nm FDSOI	5.88	8.89 (*)	28.55 (*)
28 nm FDSOI	8.02	10.92	19.86

(*) valeur extrapolée

On observe que les résistances par carré sont plus fortes en 28nm qu'en 14nm à fort V_{B2} en raison d'un moins bon couplage (les valeurs des résistances s'inversent à faible V_{B2}).

▪ Impact de la longueur (OV) du recouvrement de la grille (cas 28nm)

En 28nm, la longueur du recouvrement de la grille (OV) a un effet modeste sur le compromis R_{ON}/BV_{OFF} (Figure 3.16a). En effet, à l'état bloqué la grille avant contrôle le potentiel dans

l'ensemble du film qu'elle recouvre et le potentiel de drain ne pénètre pas sous la grille (voir simulations, Fig. 3.4) : l'ensemble de la tension est soutenue par la zone d'extension de drain. Néanmoins à l'état passant, cette région introduit une faible chute potentielle qui conduit à une amélioration marginale de BV_{ON} (Fig. 3.27b). En termes de résistance, le film sous le recouvrement est dopé et accumulé par la grille avant en partie assistée par la grille arrière V_{B2} ($OV_{GP} = -100nm$) : cette région présente donc une faible résistance linéaire.

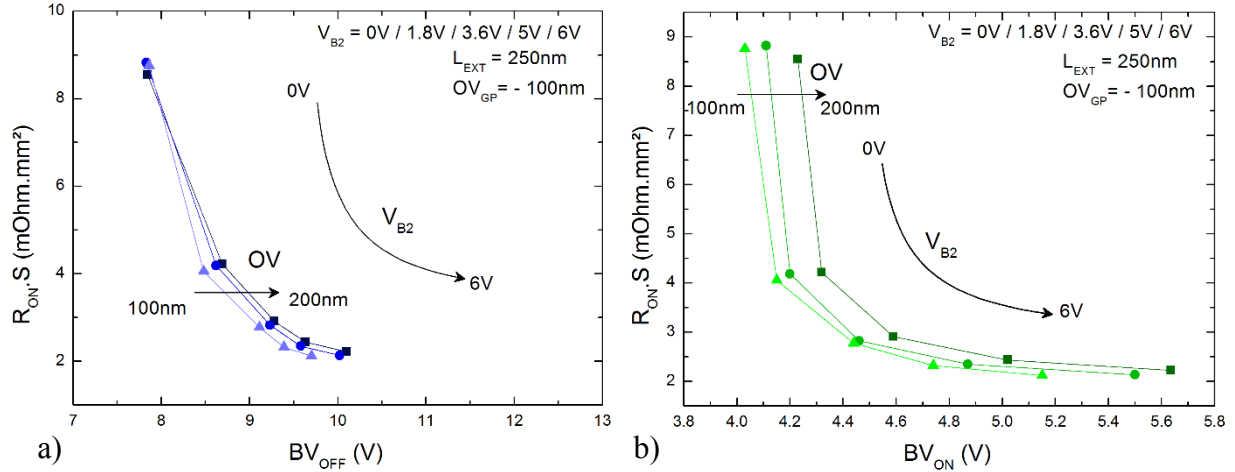


Figure 3.27: Compromis résistance spécifique / tenue tension en fonction de V_{B2} pour différentes longueurs du recouvrement de grille (OV): a) $R_{ON} \cdot S$ vs. BV_{OFF} et b) $R_{ON} \cdot S$ vs BV_{ON} . DGP EDMOS en 28nm avec $V_{B1} = 0V$. (Mesures)

3.5.2. Impact de la position du DGP (OV_{GP})

Afin de vérifier expérimentalement les résultats des simulations TCAD, les DGP EDMOS sont mesurés dans plusieurs configurations d' OV_{GP} référencé par rapport au bord du canal (Fig. 3.28):

- Quand $OV_{GP} = +200 nm$ la jonction est situé du côté de la transition entre le drain et la zone d'extension à 100 nm du drain.
- Quand $OV_{GP} = +100 nm$, la jonction se situe à 100nm du bord de l'empilement de grille.
- Quand $OV_{GP} = -100 nm$, elle est au milieu du recouvrement de la grille (OV) (cas 28nm).

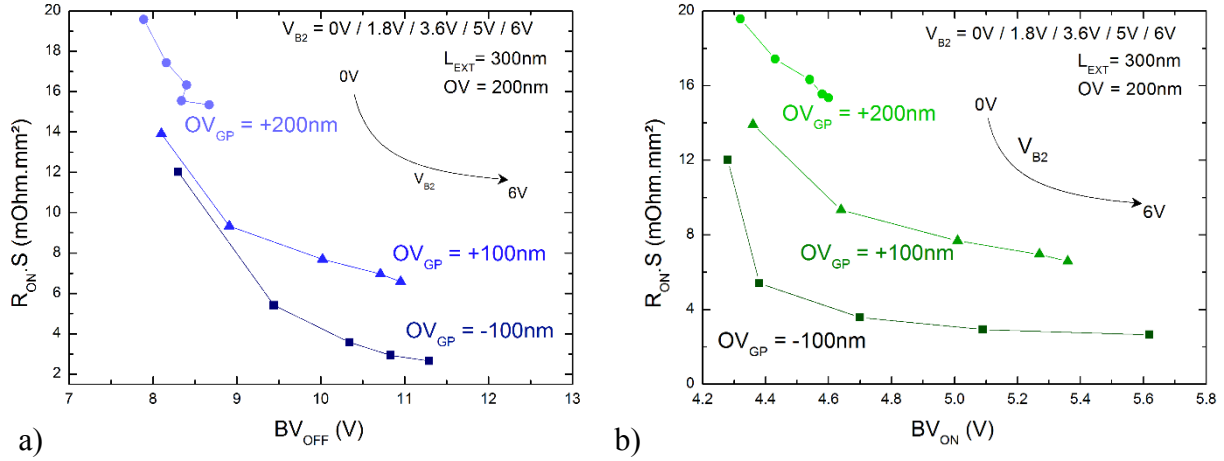


Figure 3.28: Compromis résistance spécifique / tenue tension en fonction de V_{B2} pour différents OV_{GP} : a) $R_{ON}.S$ vs. BV_{OFF} et b) $R_{ON}.S$ vs BV_{ON} . DGP EDMOS en 28 nm. (Mesures)

Comme anticipé par les simulations numériques, l'impact du DGP sur la modulation du courant (donc de $R_{ON}.S$) est maximal lorsque l'ensemble du film non recouvert par la grille avant est modulée par la grille arrière (OV_{GP} négatif). A l'inverse, une jonction PN située du côté de la transition drain/zone d'extension ($OV_{GP} = +200\text{ nm}$) permet de réduire le pic de champ électrique près du drain mais ne permet pas de répartir les lignes dans toute l'extension et limite l'effet du DGP. La tenue en tension n'est que faiblement améliorée et la résistance série n'est pas suffisamment modulée pour atteindre des performances intéressantes.

Ce résultat se retrouve en 14nm FDSOI (Fig. 3.29) avec cependant un changement dans le comportement du claquage à l'état passant lorsque la jonction est sous l'extension de drain ($OV_{GP} = +100\text{nm}$).

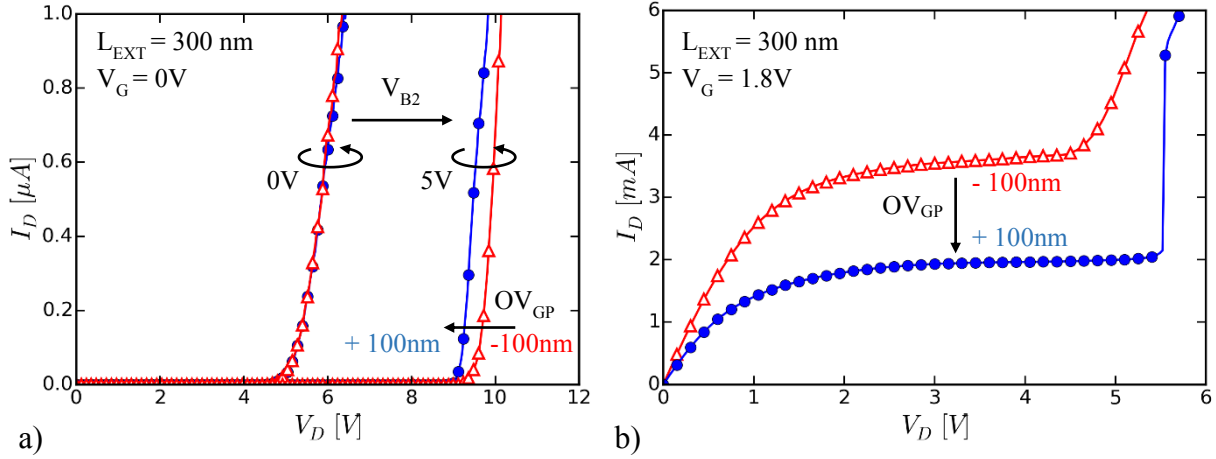


Figure 3.29: Impact de la position du Dual Ground Plane sous l'EDMOS en 14nm: a) Caractéristiques I_D - V_D à l'état bloqué et b) à l'état passant. (Mesures).

Contrôlée par le fort champ électrique existant à la transition entre le drain et le film de silicium dopé, la tenue en tension à l'état bloqué ($V_G=0V$) est indépendante de la position de la jonction sous la zone d'extension OV_{GP} en l'absence de polarisation de la grille arrière ($B2$). En effet, dans les deux cas, la région de la zone de drain est identique et recouverte par le GP-N. Avec $V_{B2}=5V$, la tenue en tension est cependant très légèrement meilleure avec un $OV_{GP}= -100nm$.

A l'état passant ($V_G=1.8V$), un plus grand recouvrement de la zone d'extension de drain par le GP-N (cas $OV_{GP}= -100nm$) vient limiter la tenue en tension (Fig. 3.29b). En effet, dans une telle configuration, l'ensemble de la longueur du film mince est contrôlé et la résistance à l'état passant est plus faible que dans la configuration $OV_{GP}= +100 nm$ où une partie du film reste non recouverte. Avec une résistance de la zone d'extension plus faible, la tension du drain interne du MOS intrinsèque est plus forte. L'ionisation par impact intervient donc pour une tension de drain plus faible et la tenue en tension est limitée. Dans le cas $OV_{GP} = +100 nm$, on observe un décollement abrupt du courant de drain I_D lorsque le claquage survient. Nous allons expliquer ce déclenchement (que nous n'avons pas observé en 28nm).

▪ Mise en évidence du phénomène de Snapback (mesures V-I)

Les caractéristiques I_D - V_D ont été mesurées à différents V_G sur un DGP EDMOS en 14nm FDSOI avec un $OV_{GP} = +100 nm$ pour $V_{B1} = 0V$ et $V_{B2} = 5V$. Ces mesures ont été réalisées en forçant le courant de drain I_D et en mesurant la tension V_D résultante aux bornes du dispositif.

Cette méthode permet de mettre en évidence l'effet dit de retournement ou de « Snapback » [13] (Fig. 3.30).

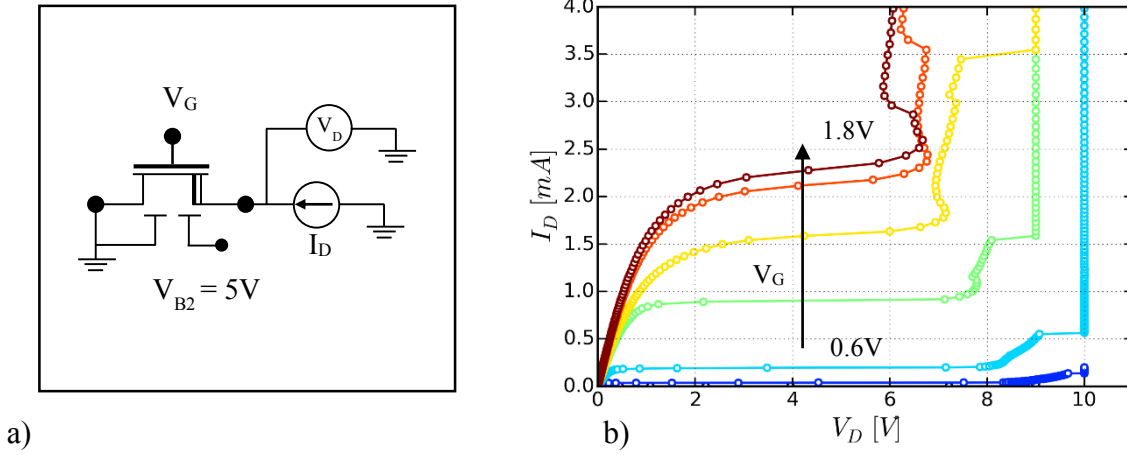


Figure 3.30: Caractéristiques I_D - V_D à différents V_G obtenue en forçant le courant de drain I_D pour mettre en évidence le phénomène de retournement. DGP EDMOS en 14nm avec $OV_{GP} = +100nm$.

Dans la zone de claquage, le courant I_D augmente avec la tension V_D puis celle-ci chute alors que le courant continue à augmenter. Cela s'explique par le déclenchement du bipolaire parasite par les porteurs majoritaires (trous) générés par le phénomène d'ionisation par impact. Le courant est alors conduit principalement par l'effet bipolaire parasite et le MOS perd le contrôle. A cause de la modulation de la résistance par les porteurs minoritaires, la résistance série diminue et avec elle la différence de potentiel aux bornes du dispositif (V_D) : ce qui correspond au retournement. Dans un tel cas, on peut montrer que celui-ci survient quand la contre-réaction entre l'ionisation par impact et l'effet bipolaire parasite est suffisamment forte pour satisfaire la condition [13], [14]:

$$\beta \times (M - 1) = 1$$

M est le facteur de multiplication lié à l'ionisation par impact.

β est le gain du transistor bipolaire parasite.

C'est ce comportement bistable (une tension pouvant correspondre à plusieurs niveaux de courant) qui explique le saut de courant observé sur les mesures en I_D - V_D précédentes (Fig. 3.29). D'un point de vue pratique, le déclenchement du bipolaire parasite et le retournement associé sont problématiques car ils limitent le domaine d'utilisation du transistor en V_D à la tension de premier

claquage moins la chute de potentiel liée au retournement. Néanmoins, comme l'illustrent les Figures 3.30, la tenue en tension reste supérieure à 5V dans tous les régimes pour le DGP EDMOS en 14nm avec un V_{B2} de 5V.

▪ Effet du V_{B1} pour accélérer le DGP EDMOS ($OV_{GP} = +100$ nm)

Cette étude est intéressante pour utiliser les DGP EDMOS en 14nm dans d'éventuelles applications 5V où le dispositif est en régime saturé avec à la fois V_{G_MAX} et V_{D_MAX} (contrairement au mode commuté). Nous résumons alors les performances obtenues pour les deux configurations d' OV_{GP} en Figure 3.31.

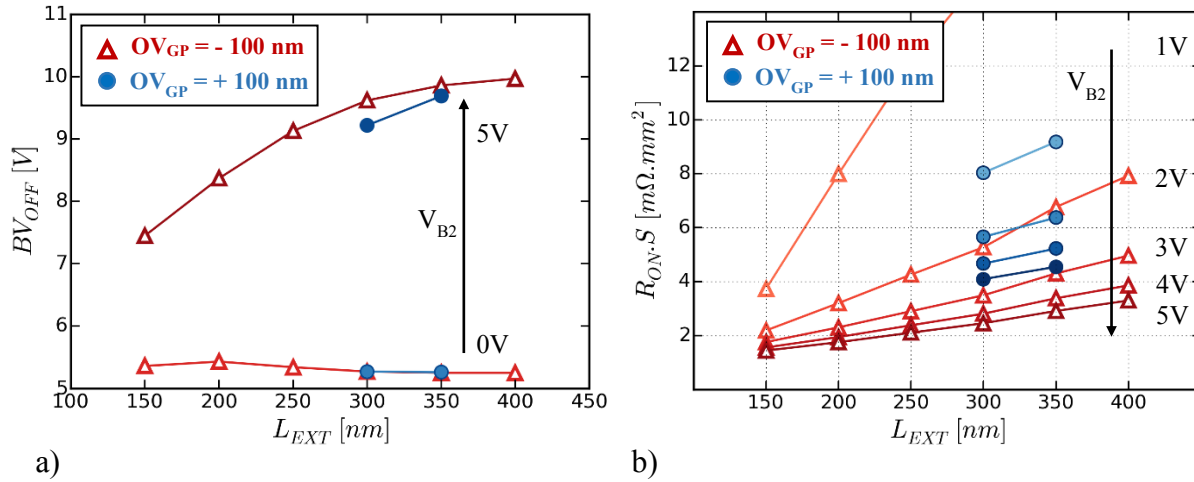


Figure 3.31: Résumé des figures de mérites a) BV_{OFF} et b) $R_{ON.S}$ obtenues avec le DGP EDMOS en 14nm FDSOI pour différents L_{EXT} et OV_{GP} . (Mesures).

On observe que le $R_{ON.S}$ du DGP EDMOS est supérieur à 4 $m\Omega \cdot mm^2$ dans le cas $OV_{GP} = +100$ nm; il peut alors être avantageux d'accélérer le dispositif afin d'augmenter le courant en jouant sur la tension de seuil du MOS intrinsèque grâce au couplage des grilles avant et arrière. Au niveau de la conception des circuits, des solutions peuvent être envisagées pour polariser le caisson P de manière permanente ou de manière dynamique. Une tension V_{B1} positive permet d'abaisser le V_{TH} et d'augmenter le courant débité (Fig. 3.32 et 3.33). Il faut garder à l'esprit que ceci amène également à un accroissement du courant de fuite I_{OFF} . A l'inverse, une tension V_{B1} négative augmente la tension de seuil, diminue la fuite mais limite le courant. La modulation dynamique permettrait de s'affranchir de ces contraintes en adaptant la tension V_{B1} au régime de fonctionnement (passant ou bloqué) du transistor haute tension. On pourrait par exemple envisager

de faire suivre V_{B1} sur V_G pour bénéficier d'un $V_{B1} > 0V$ à l'état passant et d'un $V_{B1} \leq 0V$ à l'état bloqué.

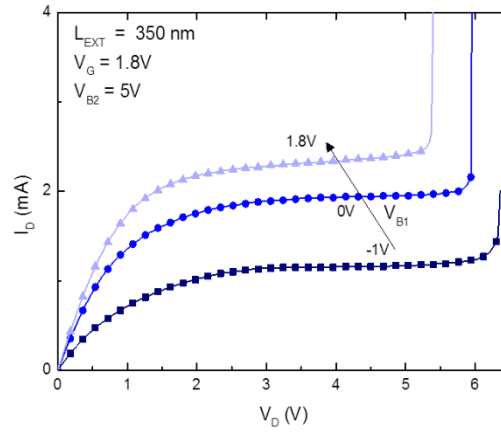


Figure 3.32: Impact de la tension de face arrière V_{B1} sur la caractéristique expérimentale de sortie du DGP EDMOS en 14nm.

En contrepartie d'une densité de courant plus forte ($V_{B1} > 0V$), l'apparition de l'avalanche et du retournement du bipolaire parasite survient pour une tension de drain V_D plus faible. Inversement, dans le cas d'une tension V_{B1} négative, V_{TH} est augmentée, le courant diminué et la tenue en tension améliorée. Ce résultat montre l'intérêt et une des limites de l'utilisation de la deuxième grille arrière (B1) comme un levier supplémentaire pour un MOS-HV en UTBB-FDSOI.

Pour quantifier la modulation apportée par la tension de face arrière, la tension de seuil V_{TH} est extraite pour différentes tensions V_{B1} et V_{B2} (Fig. 3.33) dans le cas précédent ($L_{EXT} = 350nm$, $OV_{GP} = +100nm$).

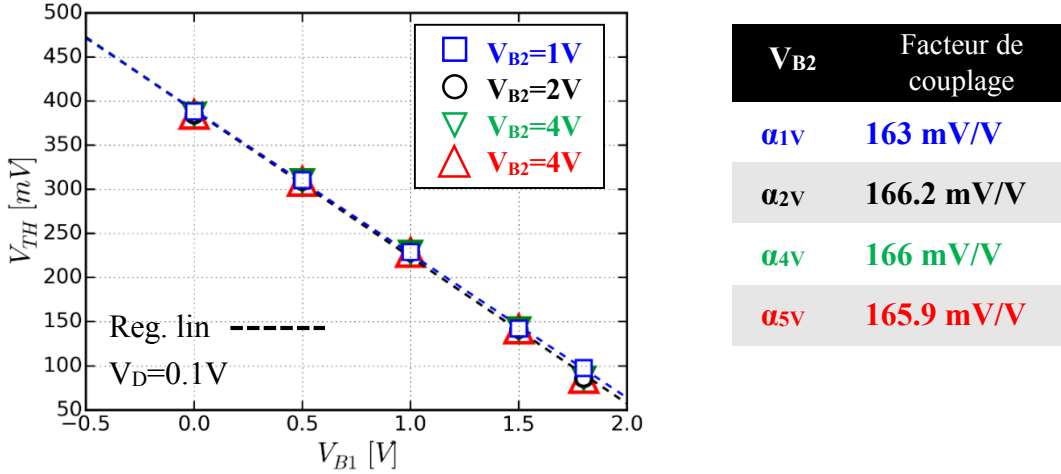


Figure 3.33: Tension de seuil et coefficient de couplage du DGP EDMOS en 14nm ($OV_{GP} = +100nm$) extraits pour différentes tensions V_{B1} et V_{B2} . Valeurs extraites (symbole) et régression linéaire avec $R > 0.99$ (pointillés).

La caractéristique $V_{TH}-V_{B1}$ (Fig. 3.33) nous permet d'extraire le coefficient de couplage α entre les grilles avant (G) et arrière (B1) pour différentes tensions de face arrière V_{B2} . De manière théorique le coefficient de couplage est donné par l'approximation suivante :

$$\alpha = \frac{dV_{TH}}{dV_{B1}} = \frac{C_{SI} \cdot C_{BOX}}{C_{OX}(C_{SI} + C_{BOX})} \approx \frac{C_{BOX}}{C_{OX}} \approx \frac{C \cdot E \cdot T}{t_{BOX}} = 170mV/V$$

en considérant $C_{SI} \gg C_{BOX}$ [15] (comme le film de silicium est ultramince en FDSOI, on se rapproche de ce cas idéal). Nous constatons que le coefficient de couplage α est indépendant de V_{B2} et est très proche de la valeur de 170mV/V prédite par la théorie. Ceci confirme l'indépendance entre le contrôle électrostatique du canal par la grille arrière V_{B1} et le contrôle de la zone d'extension de drain par la grille arrière V_{B2} .

3.6. Conclusion

Dans ce chapitre, nous avons proposé une nouvelle architecture d'EDMOS sur SOI ultra-mince reposant sur la modulation électrostatique de la distribution du champ électrique et de la résistance série: le Dual Ground Plane EDMOS. Cette architecture tire parti des possibilités du FDSOI en utilisant deux GPs de type complémentaires N et P sous la structure. Les deux grilles arrières ainsi formées permettent de contrôler indépendamment le comportement du canal (tension

de seuil, courant de fuite, mobilité des porteurs [16]) et le comportement de la zone d'extension de drain (résistance série, tenue en tension) de l'EDMOS. A travers des simulations TCAD, nous avons mis en évidence l'intérêt d'une telle structure pour obtenir de bons compromis entre la résistance série ($R_{ON.S}$) et la tenue en tension (BV_{DS}) grâce à un effet analogue au RESURF. La polarisation du Dual Ground Plane permet de s'adapter au niveau de dopage présent dans la zone d'extension de drain et vise ainsi l'économie d'une étape d'implantation dédiée dans le procédé de fabrication. Nous avons étudié la conception et la fabrication d'une telle architecture dans le nœud 28nm puis 14nm en technologie FDSOI. Les échantillons ainsi fabriqués ont été caractérisés et ont permis d'étudier le comportement des DGP EDMOS en fonction de plusieurs paramètres comme la géométrie du dispositif ou la position de la jonction des GPs sous la structure. Nous avons montré, qu'en 14nm, grâce à la finesse du substrat SOI, ***aucune implantation n'est nécessaire*** pour obtenir un MOS haute tension sur SOI affichant des performances prometteuses.

Tableau 3.2: Résultats obtenus avec le DGP EDMOS et comparaison avec les résultats mesurés pour un implant dédié (cf. Chapitre 2)

EDMOS $L_{EXT}=300nm$ $OV=200nm$	Paramètres			
	V_{TH} (mV)	$R_{ON.S}$ ($m\Omega.mm^2$)	BV (V)	I_{OFF} (pA/ μm)
28 nm DGP ($OV_{GP} = -100nm$, $V_{B2}=5V$)	486	2.9	10.8	<10
28 nm DGP ($OV_{GP} = -100nm$, $V_{B2}=3.6V$)	487	3.58	10.34	<10
14nm DGP ($OV_{GP} = -100nm$, $V_{B2}=5V$)	410	2.45	9.6	<10
14 nm DGP ($OV_{GP} = -100nm$, $V_{B2}=3.6V$)	412	2.81	8.9	<10
28nm FDSOI EDMOS GPP (Chapitre 2)	478	3.6	10.95	~10

Afin de valider de manière complémentaire ces performances prometteuses, des structures de test TLP (« Transmission Line Pulse ») et RF ont été dessinées. Ces structures (encore en fabrication au moment de la rédaction de ce manuscrit) permettront de déterminer les réponses impulsionnelle et fréquentielle du composant.

Le chapitre suivant présente des éléments de caractérisation et de modélisation afin de fournir des outils aux concepteurs pour l'évaluation de cette architecture innovante.

3.7. Bibliographie

- [1] A. Litty, S. Ortolland, D. Golanski, et al., “Dual ground plane for high-voltage MOSFET in UTBB FDSOI Technology,” *Solid. State. Electron.*, vol. 112, no. 1, pp. 3–4, 2014.
- [2] D. Jacquet, F. Hasbani, P. Flatresse, et al., “A 3 GHz dual core processor ARM cortex TM -A9 in 28 nm UTBB FD-SOI CMOS with ultra-wide voltage range and energy efficiency optimization,” *IEEE J. Solid-State Circuits*, vol. 49, no. 4, pp. 812–826, 2014.
- [3] J. P. Noel, O. Thomas, M. A. Jaud, et al., “Multi-VT UTBB FDSOI device architectures for low-power CMOS circuit,” *IEEE Trans. Electron Devices*, vol. 58, no. 8, pp. 2473–2482, 2011.
- [4] X. Zhou, M. Qiao, Y. He, et al., “Back-Gate Effect on $R_{on,sp}$ and BV for Thin Layer SOI Field p-Channel LDMOS,” *IEEE Trans. Electron Devices*, vol. 62, no. 4, pp. 1098–1104, 2015.
- [5] A. Vandooren, S. Cristoloveanu, M. Mojarradi, et al., “Back-gate and series resistance effects in LDMOSFETs on SOI,” *IEEE Trans. Electron Devices*, vol. 48, no. 10, pp. 2410–2416, 2001.
- [6] A. Litty, S. Ortolland, D. Golanski, et al., “Dual Ground Plane EDMOS in 28 nm FDSOI for 5 V power management applications,” *Solid. State. Electron.*, vol. 113, pp. 42–48, 2015.
- [7] A. Litty, S. Ortolland, D. Golanski, et al., “Dual Ground Plane EDMOS in ultrathin FDSOI for 5V energy management applications,” in *Solid State Device Research Conference (ESSDERC), 2014 44th European*, 2014, pp. 134–137.
- [8] A. Litty, S. Ortolland, D. Golanski, et al., “Optimization of a high-voltage MOSFET in ultra-thin 14nm FDSOI technology,” in *2015 IEEE 27th International Symposium on Power Semiconductor Devices & IC’s (ISPSD)*, 2015, pp. 73–76.
- [9] Y. Solaro, “Conception, fabrication et caractérisation de dispositifs innovants de protection contre les décharges électrostatiques en technologie FDSOI,” Thèse de doctorat, Université de Grenoble, 2014.
- [10] O. Bon, “Conception de transistors haute tension complémentaires en technologie 65nm sur substrat silicium sur isolant fin pour applications RF et conversion de puissance,” Thèse de doctorat, Université Paul Sabatier-Toulouse III, 2008.
- [11] R. W. Erickson and D. Maksimovic, *Fundamentals of Power Electronics*, 2nd ed. Springer Science & Business Media, 2001.
- [12] R. A. Bianchi, C. Raynaud, F. Blanchet, et al., “High voltage devices in advanced CMOS technologies,” in *2009 IEEE Custom Integrated Circuits Conference*, 2009, pp. 2–5.

- Chapitre 3 : Une architecture innovante en FDSOI: le Dual Ground Plane EDMOS -

- [13] T. Skotnicki, G. Merckel, and C. Denat, "Simple Model of MOSFET Breakdown Characteristics: from Saturation to Snapback Sustaining Regime," in *VPAD 1991 Proceedings*, 1991, pp. 100–101.
- [14] S. Cristoloveanu and S. S. Li, *Electrical characterization of silicon-on-insulator materials and devices*. Kluwer international, 1995.
- [15] J. B. McKitterick and A. L. Caviglia, "An analytic model for thin SOI transistors," *IEEE Trans. Electron Devices*, vol. 36, no. 6, pp. 1133–1138, Jun. 1989.
- [16] C. Fernandez, N. Rodriguez, A. Ohata, et al., "Bias-Engineered Mobility in Advanced FD-SOI MOSFETs," *IEEE Electron Device Lett.*, vol. 34, no. 7, pp. 840–842, Jul. 2013.

Chapitre 4

Modélisation et mesures pour l'évaluation du composant

Dans les chapitres précédents, nous avons étudié la réalisation d'un MOS haute tension en technologie FDSOI. En nous basant sur le MOS à drain étendu (EDMOS), nous avons proposé une architecture innovante qui s'appuie sur les spécificités de la technologie UTBB-FDSOI. Ce nouveau composant permet d'obtenir un compromis à l'état de l'art entre résistance spécifique et tenue en tension tout en ayant un film non dopé : le Dual Ground Plane EDMOS. Dans ce chapitre, nous présentons des éléments de caractérisation et de modélisation SPICE afin de permettre aux électroniciens d'évaluer, dès l'étape de conception, les performances des circuits utilisant ce composant. En nous basant sur le modèle UTSOI2 dédié aux MOS FDSOI, nous proposons un macro-modèle de MOS haute tension. La stratégie de modélisation que nous proposons tient compte des effets propres aux MOS haute tension, de la température et de la dépendance de la résistance série avec la tension de face arrière. Enfin, afin d'aller vers l'industrialisation du composant, nous débutons une étude de la fiabilité. Cette analyse permet de donner des éléments pour l'identification des points chauds causant le vieillissement du composant suivant les régimes de fonctionnement.

4.1. Modélisation SPICE des transistors MOS

4.1.1. Notion de modèle compact

Lors de la conception des circuits intégrés, les électroniciens ont besoin de réaliser des simulations numériques avec des milliers voire des millions de composants élémentaires afin de prévoir et d'évaluer les performances de leurs solutions. La précision des modèles physiques et mathématiques utilisés par les simulateurs est la clef de voûte qui permet de tenir compte du procédé de fabrication, d'anticiper les marges de conceptions et de garantir l'alignement entre les prédictions et les résultats effectivement mesurés sur les puces fabriquées [1]–[3]. Ces modèles doivent être capables de calculer les points de fonctionnement (courant-tension) dans de nombreux régimes et fréquences d'opération tout en garantissant précision et rapidité d'exécution. Ils concernent aussi bien les composants actifs (MOSFETs, transistors bipolaires,...) que les composants passifs (diodes, résistances, capacités...) et permettent de rendre compte :

- de nombreux effets physiques (confinement quantique, contrainte mécanique, diverses sources de courant de fuites, capacités et résistances parasites, mobilité des porteurs...)
- de la géométrie des composants (longueur, largeur, taille de la zone active...)
- de l'environnement, de la température.

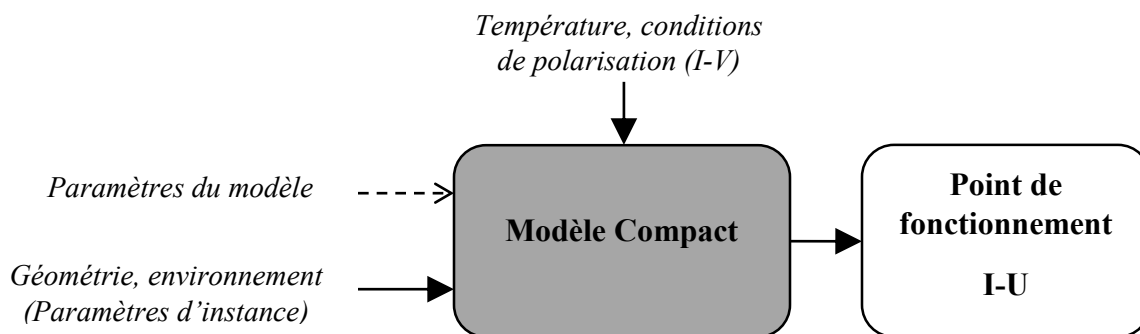


Figure 4.1: Principe du modèle compact pour la simulation SPICE.

Ces modèles, formulés de manière analytique, sont des **modèles compacts** (Fig. 4.1). Ils sont implémentés dans des programmes de C.A.D (de l'anglais « Computer Aided Design ») que l'on qualifie de **S.P.I.C.E** (« Simulation Program with Integrated Circuit Emphasis »). Parmi les plus

utilisés, nous pouvons citer pêle-mêle *Eldo* de la société *Mentor Graphics* [4], *HSPICE* de *Synopsys* [5], *Spectre* de *Cadence* [6] ou encore *ADS* de *Keysight* [7]. Lors des simulations, les concepteurs ont accès aux paramètres d'instance et aux conditions de polarisation des composants. Cependant, à la façon d'une boîte noire, ils n'ont pas accès aux paramètres du modèle qui sont fournis par les fabricants et dépendants de la technologie dans laquelle le circuit sera fondu.

4.1.2. Typologies et comparaison des modèles

Concernant la modélisation du transistor MOS, on peut regrouper les modèles compacts existants en trois grandes familles (Fig. 4.2) selon les hypothèses physiques et les approches mathématiques suivies dans leurs formulations analytiques [8].

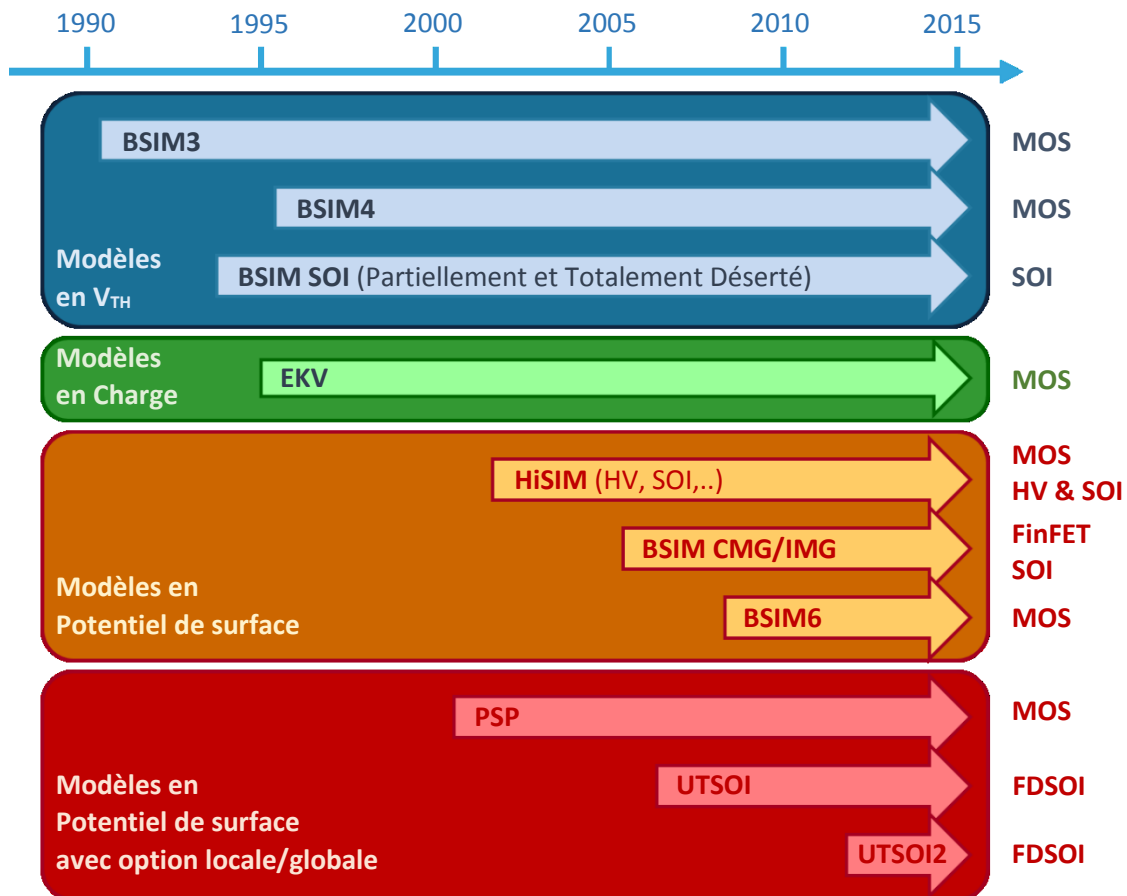


Figure 4.2: Historique récent des modèles compacts de transistors MOS avec leur stratégie de modélisation associée. La colonne de droite donne les architectures pour lesquelles les modèles peuvent être utilisés (figure d'après [8]).

Ainsi on distingue les modèles basés sur l'expression de la tension de seuil, sur l'expression de la charge ou sur l'expression du potentiel de surface.

- **Modèles mathématiques:** Les premiers modèles du type de BSIM [3] (proposé par l'université de Berkeley) sont basés sur l'expression de la tension de seuil V_{TH} qui permet de séparer les régimes sous le seuil (courant de diffusion) et au-dessus du seuil (courant de conduction). Les deux régimes sont raccordés entre eux par des fonctions de lissage qui sont plus des fonctions empiriques que physiques. Ce raccord nécessite un nombre important de paramètres pour atteindre une précision suffisante notamment dans la zone d'inversion modérée (près de 100 paramètres pour BSIM3). De plus, contrairement au comportement physique du MOS, la formulation du modèle n'est pas symétrique en V_{DS} , ce qui implique des dérivées non continues au voisinage de $V_{DS}=0$. Or cette propriété est importante pour la précision des simulations analogiques où l'évaluation des harmoniques générées par distorsion est un aspect clef de la mise au point des circuits RF [9].

- **Modèles en charge :** Les seconds modèles du type d'EKV (proposé par l'EPFL [10]) sont des modèles basés sur le calcul de la charge d'inversion (Q_{inv}) à partir d'expressions explicites et continues. Pour exemple dans le modèle EKV, celle-ci est calculée à partir des notions du « potentiel de canal Ψ_{CH} » et de son « point de pincement Ψ_P ». En référençant les tensions par rapport au substrat V_B , cette formulation permet de garantir la symétrie du modèle et la continuité des dérivées au premier ordre et aux ordres supérieurs. De manière générale, ces modèles de charge visent des domaines d'applications étendus par rapport aux modèles antécédents. Ils sont adaptés à la simulation et la conception de circuits numériques à basse consommation, analogiques ou mixtes en technologies CMOS avancées [11].

- **Modèles en potentiel de surface :** La troisième famille de modèles du type de PSP [12] repose sur l'expression analytique du potentiel de surface Ψ_s . Afin de conserver, la cohérence avec la physique du transistor, l'expression de Ψ_s est implicite :

$$\Psi_s(V(y)) = f(\Psi_s(V(y)), V(y))$$

où y est la direction du canal et $V(y)$ le quasi-niveau de Fermi dans le silicium.

La résolution d'une telle expression nécessite des corrections successives de l'erreur obtenues lors du développement de Taylor de l'équation implicite de Ψ_S . Bien que le nombre de corrections soit restreint, les modèles en potentiel de surface sont en relatif plus lents en termes de temps de calcul.

Du potentiel de surface et de la physique du semi-conducteur, on détermine les différentes charges (accumulation, inversion, déplétion). Le courant de drain est obtenu par intégration de la charge le long du canal en considérant que celle-ci est concentrée dans une couche d'épaisseur infinitésimale (on parle de « charge sheet approximation »). Afin de modéliser le transistor MOS en régime dynamique, le calcul des capacités intrinsèques repose sur l'identification et le partage des charges entre les différentes électrodes (ou « charge partitioning » [13]).

La Figure 4.3 ci-dessous décrit les étapes principales utilisées dans la modélisation basée sur le potentiel de surface.

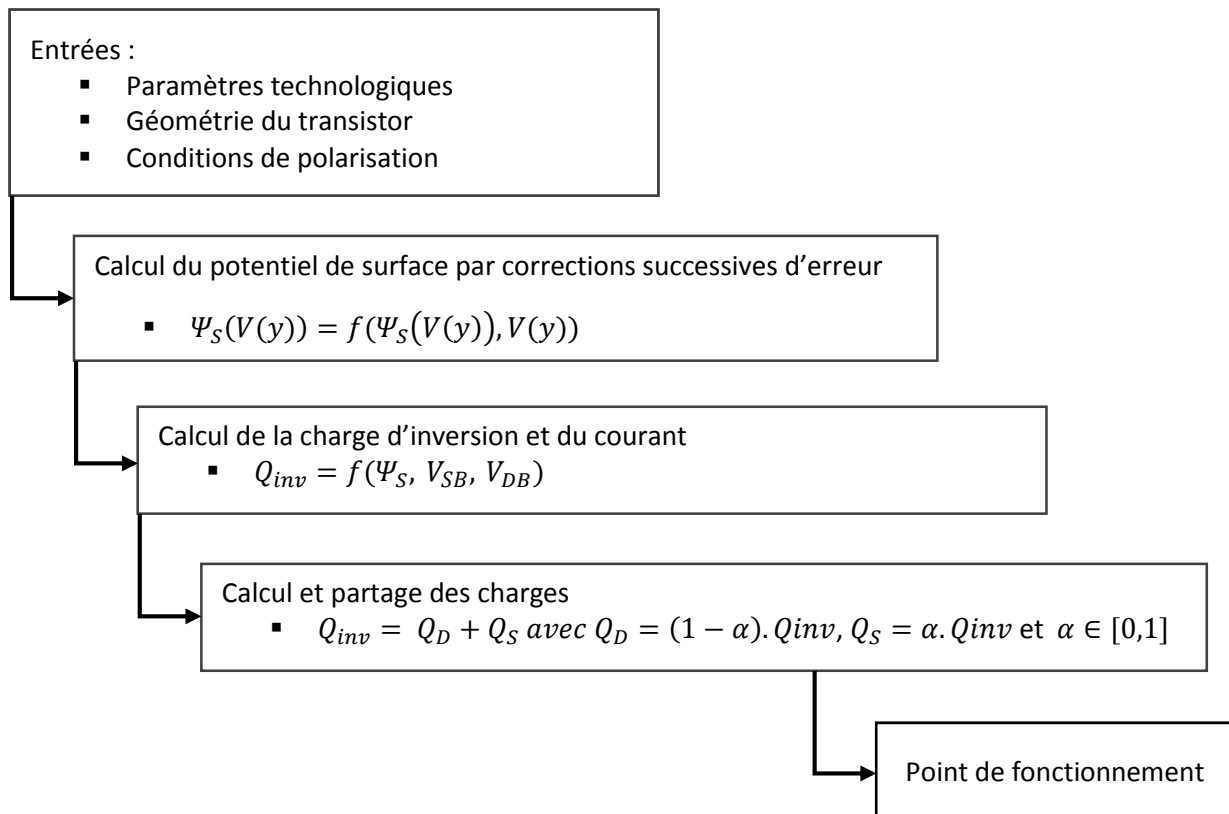


Figure 4.3: Principales étapes dans la modélisation du transistor MOS à l'aide du calcul du potentiel de surface.

Ces modèles étant basés sur une formulation mathématique rigoureuse, les quantités dérivées sont continues et permettent d'assurer la précision des simulations pour les circuits analogiques. Ils présentent également un autre avantage par rapport aux modèles mathématiques du type BSIM (pour les premières générations) : le nombre de paramètres est restreint.

4.1.3. Extraction et choix d'un modèle

Les modèles compacts reposent sur l'utilisation de paramètres technologiques ou d'ajustement qui leur permettent de s'adapter aux différents nœuds technologiques ou aux réglages du procédé de fabrication [14], [15]. Pour être représentatif d'un procédé sur silicium, il faut extraire ces paramètres à partir de mesures dans différents régimes sur les composants fabriqués : on parle **d'extraction** des paramètres des modèles SPICE (Fig. 4.4). Un nombre de paramètres restreint aide donc à réduire le temps nécessaire à l'extraction.

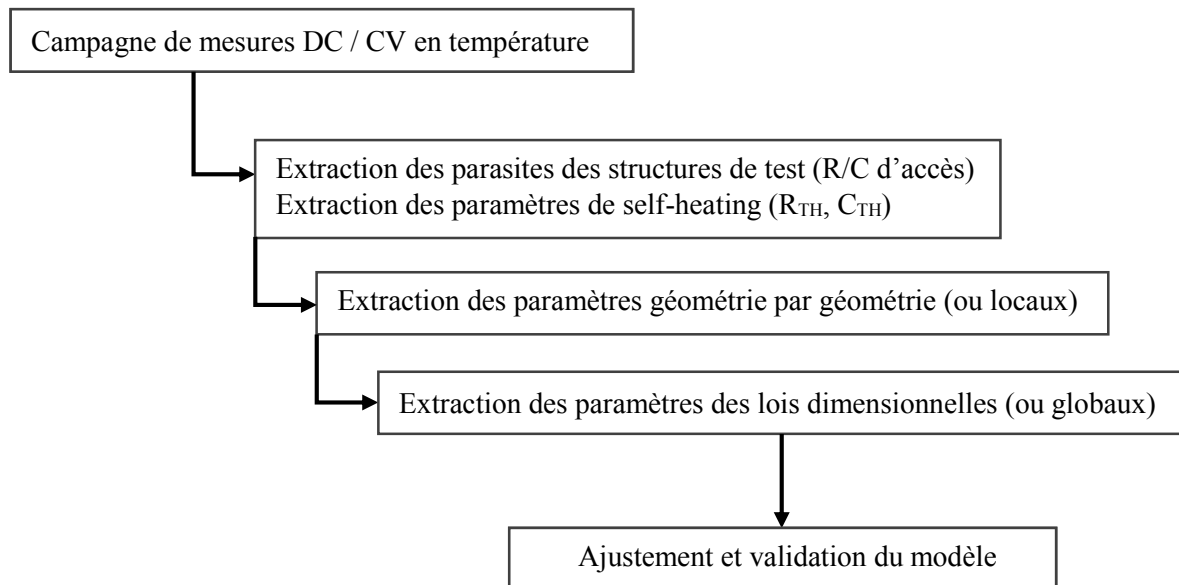


Figure 4.4: Procédure d'extraction typique d'un modèle compact (d'après [15]).

De manière générale le choix d'un modèle est effectué en considérant un compromis entre la précision, son nombre de paramètres, sa capacité à converger numériquement et son temps de calcul.

En raison des nombreux avantages des modèles en potentiel de surface, nous nous sommes basés sur un de ces modèles développé par le CEA Leti pour s'adapter aux spécificités des technologies UTBB FDSOI : le modèle *UTSOI2* [16], [17]. Il permet de prendre en compte les effets spécifiques comme un canal non dopé et totalement déserté, l'impact de la grille arrière et de sa déplétion ou encore le confinement quantique des porteurs par effet de champ. Il est de plus le standard utilisé dans les « designs kits » FDSOI industriels.

4.2. Macro-modélisation des MOS haute tension

Bien adaptés à la modélisation des transistors MOS digitaux, les modèles compacts précédents sont en revanche peu aptes à inclure les différents effets liés au MOS haute tension. Deux stratégies de modélisation sont alors envisageables :

- Utiliser ou développer un modèle compact basé sur la physique des MOS haute-tension.
- Utiliser un modèle basé sur un sous-circuit électrique que l'on nomme **macro-modèle**. Ce sous-circuit est composé de plusieurs modèles compacts de composants et d'équations pour les décrire.

4.2.1. Etat de l'art

Dans la littérature, on trouve des modèles compacts de MOS haute tension comme HiSIM-HV [18]. Il a été proposé par l'université d'Hiroshima (Japon) en extension du modèle HiSIM [2] pour la haute tension. Il est depuis fin 2008 adopté comme standard dans l'industrie pour les transistors MOS de puissance (LDMOS). Il n'est cependant pas adapté pour prendre en compte les effets liés aux particularités du FDSOI.

L'utilisation d'un macro-modèle est plus flexible. En effet, l'ajout de composants (R, C, diode, JFET, source de courant ou de tension....) à l'intérieur d'un sous-circuit basé sur un modèle

compact de transistor MOS intrinsèque permet d'inclure les nouveaux effets physiques à prendre en compte. On trouve ainsi dans la littérature de nombreux macro-modèles adaptés au MOS haute-tension [19]–[21] en technologie sur silicium massif ou SOI épais.

La Figure 4.5 illustre un macro-modèle de LDMOS utilisé en technologie $0.25\mu\text{m}$ basé sur BSIM3 :

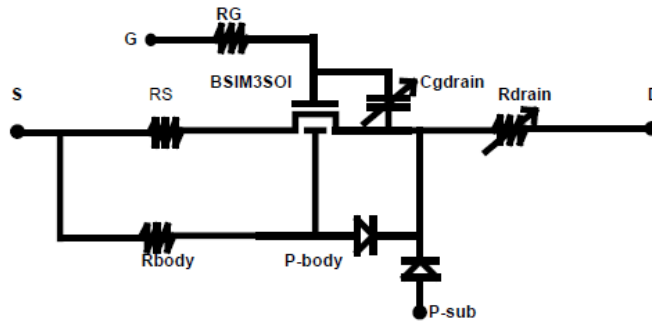


Figure 4.5: Macro-modèle (DC-RF) de LDMOS utilisé en technologie BICMOS $0,25\mu\text{m}$ sur silicium massif basé sur un cœur modèle BSIM3 (d'après [20])

Ces macro-modèles sont en général plus rapides à développer, ce qui permet de s'adapter rapidement aux évolutions du procédé, aux changements technologiques ou d'architecture. En revanche, l'introduction de paramètres et de composants supplémentaires implique parfois des pénalités dans le temps de calcul, des problèmes de continuité ou de convergence numérique. Le point de fonctionnement est en effet obtenu en calculant numériquement les différents nœuds internes du sous-circuit.

Par ailleurs, au moment de ces travaux, aucune étude ne rapporte l'existence d'un macro-modèle de MOS haute tension en technologie FDSOI. L'approche de modélisation par sous-circuit a donc été suivie en raison de sa flexibilité, de son temps de développement réduit et de la possibilité de se baser sur le modèle UTSOI2 pour prendre en compte le comportement du MOS intrinsèque en FDSOI.

4.2.2. Spécificités des MOS haute-tension

Les macro-modèles permettent de tenir compte des effets physiques propres au MOS haute-tension. La Figure 4.6 met en avant l'effet des phénomènes physiques spécifiques sur les caractéristiques électriques d'un EDMOS en technologie massive comme la quasi-saturation du courant de drain, l'auto-échauffement ou la capacité C_{GD} atypique [19].

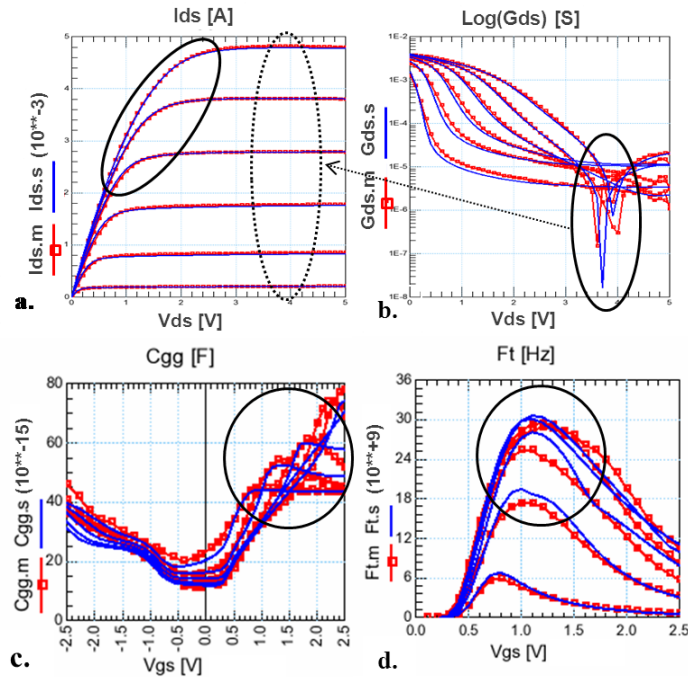


Figure 4.6: Résultats de la modélisation d'un EDMOS sur substrat massif en technologie CMOS 40nm obtenus grâce à un macro-modèle développé en interne chez STMicroelectronics (d'après [19]) : a) caractéristique I_D - V_D , b) G_D - V_D , c) C_{GG} - V_G et d) f_T - V_G . Les mesures sont en symboles (rouge) et les simulations en ligne continue (bleu).

▪ Quasi-saturation du courant de drain :

La quasi-saturation (Fig. 4.6a) se traduit par un passage progressif entre le régime linéaire et saturé du transistor MOS à fort V_G [22]. Ce phénomène est généralement modéliser à l'aide d'une résistance introduite entre le drain du MOS intrinsèque et le drain du MOS haute tension. La valeur de cette résistance évolue de manière non-linéaire avec les tensions V_D et V_G . On trouve ainsi de nombreuses expressions quasi-empiriques dans la littérature [20], [23]. Après avoir testé plusieurs solutions, nous avons choisi d'utiliser le modèle de résistance série proposée par l'EPFL

[23]. Ce modèle a été obtenu par la caractérisation expérimentale de l'évolution de la tension du drain interne (en bord de grille) d'un transistor MOS haute tension en fonction des tensions d'entrée.

▪ **Auto-échauffement:**

La puissance dissipée par le MOS haute tension conduit à une élévation de la température de fonctionnement du dispositif : le courant diminue (par rapport à une mesure isotherme [24]) et la conductance change de signe (Fig. 4.6d). Cet effet d'auto-échauffement peut être modélisé à l'aide d'un sous-circuit thermique connecté au nœud thermique du macro-modèle comme illustré sur la figure 4.7 ci-dessous :

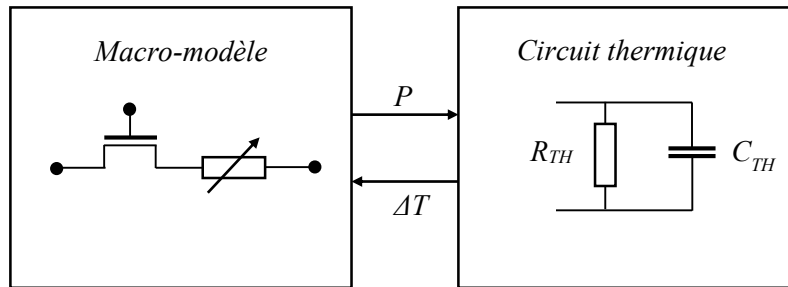


Figure 4.7: Exemple de stratégie pour la prise en compte du phénomène d'auto-échauffement

▪ **Régime dynamique et capacités atypiques:**

La caractéristique C_{GD} des MOS haute tension (Fig. 4.6c) présente généralement un pic que l'on ne retrouve pas dans les MOS classiques. Ce pic s'explique par un partage de charge différent entre grille et drain à travers le canal et l'extension de drain [20], [25]. Ce comportement peut être modélisé par une capacité non-linéaire entre le nœud V_G et le drain interne (Fig. 4.6). La modélisation des capacités est critique pour la précision des simulations en régimes radiofréquences (Fig. 4.6d).

4.3. Modélisation du DGP EDMOS en 14nm FDSOI

Dans cette section, nous étudions la modélisation SPICE du Dual Ground Plane EDMOS fabriqué en technologie 14nm FDSOI. Nous précisons les mesures nécessaires à l'extraction avant d'exposer la méthodologie et les résultats que nous avons obtenus.

4.3.1. Mesures pour la modélisation

▪ Comportement statique (ou DC) :

Dans un premier temps, afin de répondre aux besoins de conception de convertisseurs DC-DC en régime commuté, nous avons décidé de modéliser le DGP EDMOS en 14nm FDSOI ($OV_{GP} = +100$ nm) en régime statique. La prise en compte du comportement dynamique n'étant pas critique pour l'application, nous nous sommes donc concentrés sur la modélisation et la caractérisation du dispositif en régime statique. Dans ce cadre, la Figure 4.8 ci-dessous permet de rappeler le profil de mission de l'EDMOS.

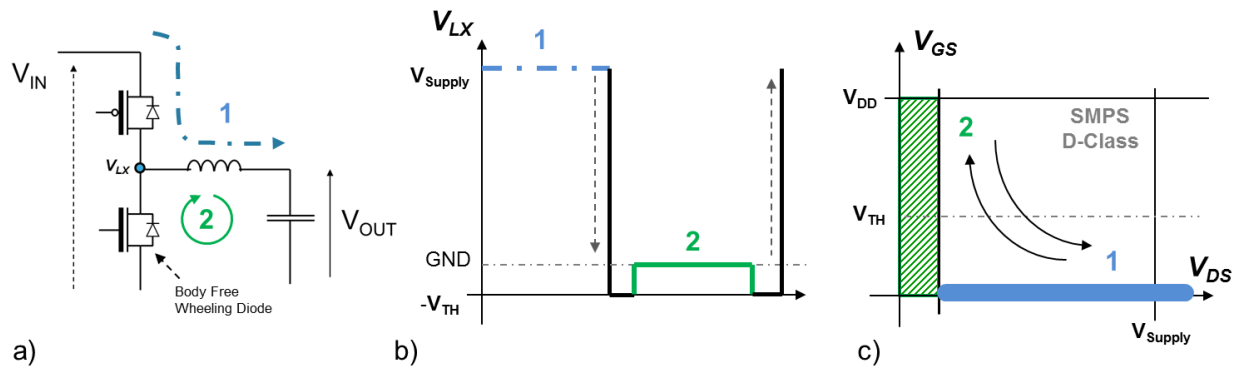


Figure 4.8: a) Schéma simplifié d'un convertisseur DC-DC, b) formes d'onde et c) profil de mission commuté associé au transistor de la branche basse.

Ainsi pour l'extraction, nous avons mesuré le DGP EDMOS dans une gamme de tension relativement restreinte afin de balayer le comportement du composant en régime commuté :

- faible V_G / fort V_D
- faible V_D / fort V_G .

Les tensions V_D sont ainsi limitées à 5V en régime bloqué ($V_G=0V$) et 2.5V en régime passant (pour $V_G = 0-1.8V$).

▪ **Campagne de mesures en température :**

Pour répondre au besoin de l'extraction du modèle, les mesures ont été conduites pour 3 températures différentes : $-40^\circ C$, $25^\circ C$ et $125^\circ C$. Ces dernières ont également permis d'évaluer le dispositif en température. On s'assure que la tenue en tension du dispositif n'est pas remise en cause avec l'élévation ou l'abaissement de la température (Fig. 4.9).

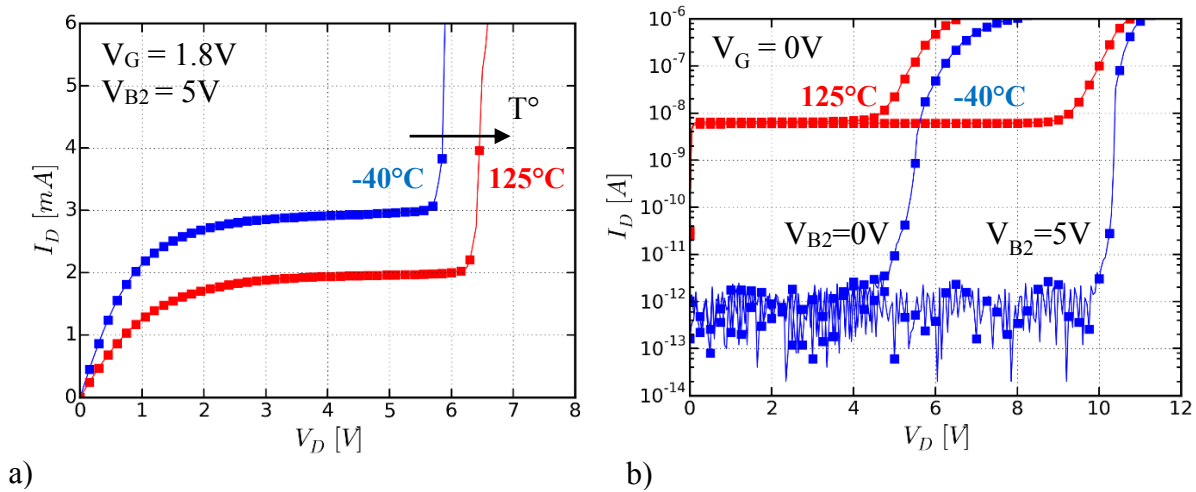


Figure 4.9: Mesures en température illustrant la tenue en tension pour les régimes a) passant et b) bloqué. DGP EDMOS en 14nm FDSOI.

La tenue en tension du DGP EDMOS reste au-dessus de valeur recherchée de 5V pour n'importe quelle température dans la gamme entre $-40^\circ C$ et $125^\circ C$ (Fig. 4.9). On remarque cependant une évolution différente de la tension de claquage entre l'état passant et l'état bloqué.

A l'état passant, la tension de claquage augmente avec la température ce qui s'explique par la diminution des taux de génération d'ionisation par impact. En effet, avec la température, sous un champ constant, les porteurs perdent une plus grande énergie par collision avec le réseau cristallin du semi-conducteur lors de leur parcours (le libre parcours moyen se réduit). Il leur faut

alors acquérir une plus grande énergie afin de pouvoir générer une paire électron-trou. Autrement dit il faut une tension plus grande pour accélérer les porteurs et pour conduire au claquage [26].

À l'inverse, la tension de claquage évolue peu avec la température à l'état bloqué (Fig. 4.9b). La Figure 4.10 met ceci en évidence en normalisant le courant de drain $I_D(T)$ par le courant de fuite $I_{OFF}(T)$ pour chaque température : $I_{D\,NORM.} = \left| I_D / I_{OFF} \right|_{T=Cste}$

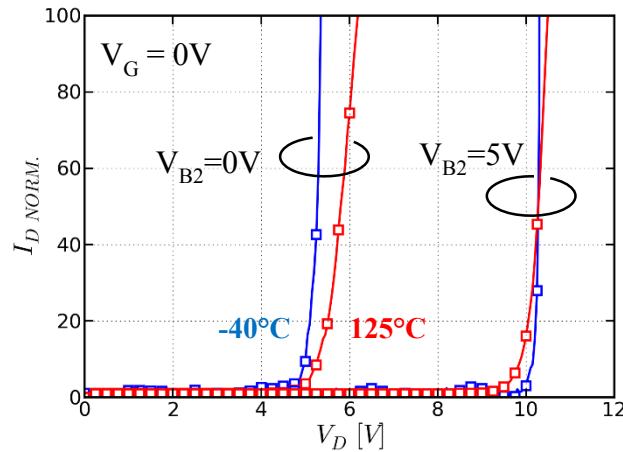


Figure 4.10: Mesures illustrant le claquage en régime bloqué en fonction de la température : le courant est normalisé pour chaque température par la valeur du courant de fuite. DGP EDMOS en 14nm FDSOI.

Le claquage s'expliquerait dans ce cas par un régime intermédiaire de multiplication des porteurs (induit par un fort champ électrique en bord de transition de drain), entre l'ionisation par impact et l'effet tunnel. La compétition des deux phénomènes expliquerait la faible dépendance de la tension de claquage à l'état bloqué avec la température [26], [27]. En effet l'intensité d'un phénomène de génération par effet tunnel dépend de l'énergie de la bande interdite (E_G) qui diminue avec la température.

▪ Auto échauffement limité :

Les mesures que nous avons effectuées sur le composant n'ont pas révélé d'auto-échauffement prononcé même pour une puissance dissipée maximale. Les caractéristiques G_D - V_D ne présentent en effet aucun changement de signe (Fig. 4.11). Ainsi nous avons décidé de ne pas considérer ce phénomène dans un premier temps.

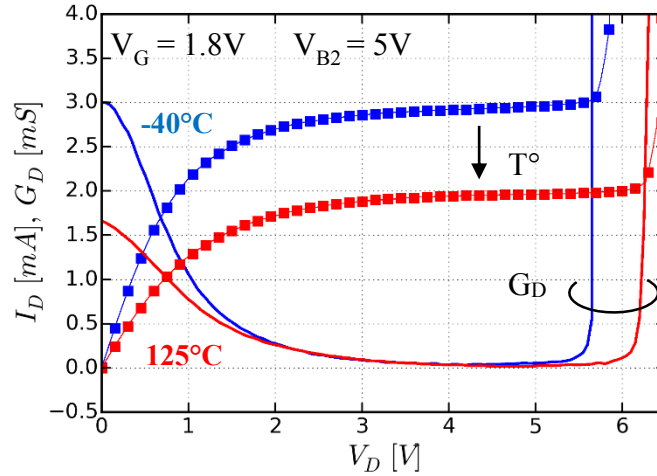


Figure 4.11: I_D - V_D et G_D - V_D du DGP EDMOS ($OV_{GP} = +100$ nm) pour mettre en évidence l'auto-échauffement limité.

4.3.2. Extraction et simulations en régime statique

Le macro-modèle proposé est basé sur un cœur UTSOI2 pour modéliser le MOS FDSOI intrinsèque et un modèle de résistance non-linéaire pour prendre en compte le comportement de la région d'extension de drain (Fig. 4.12).

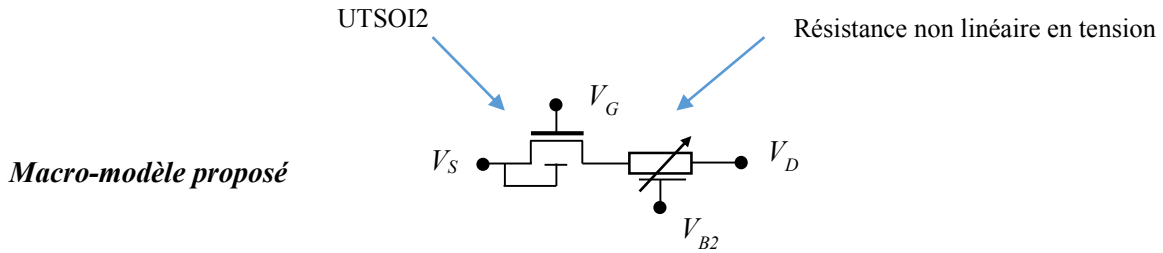


Figure 4.12: Macro-modèle proposé avec prise en compte de l'impact de la résistance de la zone d'extension de drain.

L'expression de la résistance non-linéaire [23] utilisée est donnée ci-dessous (sa dépendance en V_{B2} que nous avons rajoutée n'est cependant pas spécifiée ici) :

$$R_{EXT}(V_D, V_G, T) = (A \times B) \cdot \left(\frac{T}{T_0}\right)^{\chi_T}$$

$$A = r_{d0} + \left(\frac{r_{d1}}{\gamma V_G - 1} \right); \quad B = \ln[1 + e^{(\beta_1 \cdot V_G + \beta_0) \cdot V_D - (\delta_2 \cdot V_G^2 + \delta_1 \cdot V_G + \delta_0)}]; \quad \chi_T = (m \cdot V_D + n)^{-1}$$

Afin d'extraire le macro-modèle, nous avons suivi la méthodologie suivante que nous détaillons dans la suite :

- 1) *Extraction des paramètres du MOS sous le seuil (incluant la température).*
- 2) *Extraction de la résistance à 25°C pour un V_{B2} donné.*
- 3) *Extraction de sa dépendance en V_{B2} à 25°C.*
- 4) *Extraction des paramètres de la résistance en température.*

▪ **1) Extraction des paramètres du canal :**

Les paramètres UTSOI2 du macro-modèle ont été initialisés à l'aide d'une première extraction réalisée sur des MOS digitaux fabriqués en technologie 14nm FDSOI. Afin de se rapprocher du canal du DGP EDMOS, les paramètres d'un N-MOS FDSOI oxyde épais sur un GP de type P, de longueur L_{POLY} et de largeur W équivalentes, ont été récupérés.

Après cette étape d'initialisation, nous avons considéré le macro-modèle et les mesures du DGP EDMOS en régime linéaire à faible V_D et à $V_{B2}=5V$. Ceci permet de limiter l'impact de la résistance de la zone d'extension de drain sur les caractéristiques I_D-V_G et ainsi extraire les paramètres liés au comportement sous le seuil du transistor pour ajuster I_{OFF} , V_{TH} et la pente sous le seuil (Fig. 4.13 et 4.14).

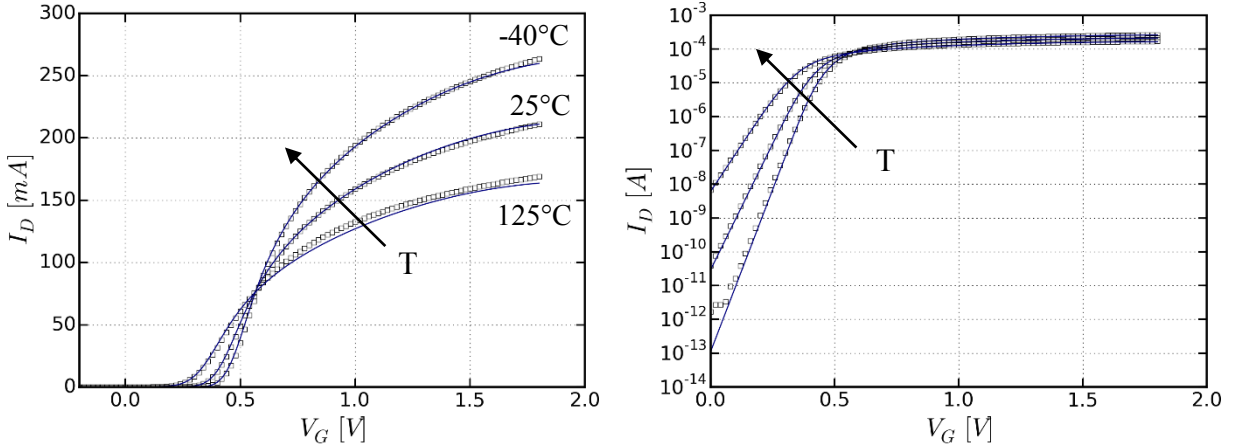


Figure 4.13: Caractéristiques I_D - V_D pour différentes températures en échelle linéaire (gauche) et en échelle logarithmique (droite). Comparaison entre mesures (symbole) et simulations (ligne). DGP EDMOS en 14nm FDSOI pour $V_{B2}=5V$, $V_D=0.1V$.

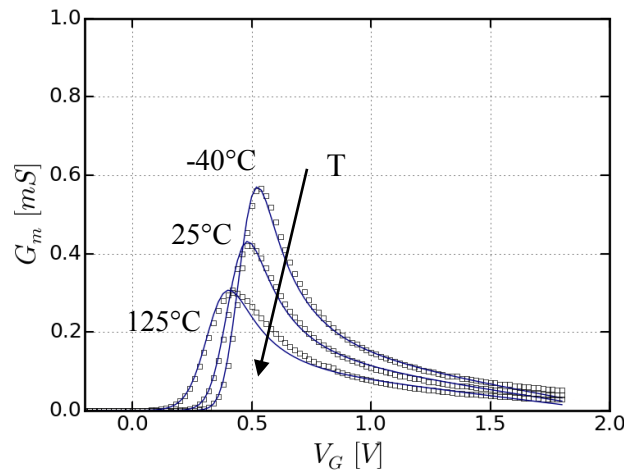


Figure 4.14: Caractéristiques G_m - V_G pour différentes températures. Comparaison entre mesures (symbole) et simulations (ligne). DGP EDMOS en 14nm FDSOI pour $V_{B2}=5V$, $V_D=0.1V$.

Les figures montrent une bonne adéquation entre les mesures et les simulations pour les différentes températures mesurées. Le champ électrique étant bien réparti dans la zone d'extension de drain pour $V_D < 5V$, il n'y a pas de dépendance du courant de fuite avec la tension de drain (pas de GIDL ou DIBL). Si on exclut les zones proches du claquage électrique, le courant de fuite I_{OFF} est donc uniquement contrôlé par le courant sous le seuil du canal (Fig. 4.15).

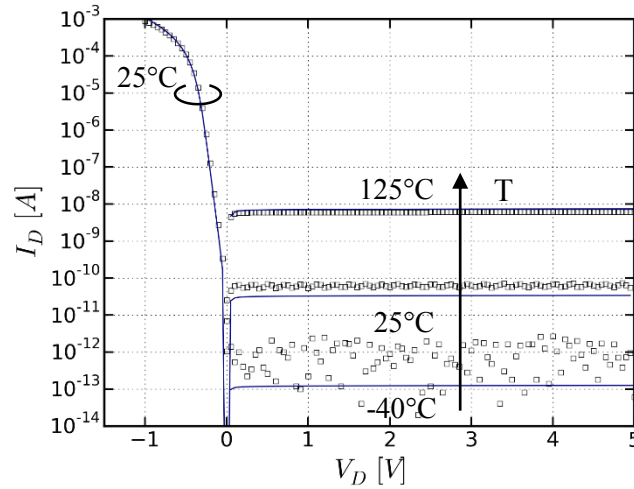


Figure 4.15: Caractéristiques I_D - V_D pour différentes températures. Comparaison entre mesures (symbole) et simulations (ligne). DGP EDMOS en 14nm FDSOI pour $V_{B2}=5V$, $V_G=0V$.

On montre également l'importance de prendre en compte la dépendance de la grille arrière dans la modélisation du MOS en montage de diode qui alors fonctionne en régime double-grille (Fig. 4.15, $V_D < 0V$, $T=25^\circ C$).

▪ **Extraction de la résistance de la zone d'extension à $25^\circ C$ pour $V_{B2}=5V$:**

Après la modélisation en régime linéaire, on considère la modulation de la résistance série avec les tensions de drain et de grille. Pour cela, on peut utiliser indépendamment les caractéristiques de sortie (I_D - V_D à plusieurs V_G) ou les caractéristiques de transfert du DGP EDMOS (I_D - V_G à plusieurs V_D).

La Figure 4.16 illustre l'extraction de la résistance non-linéaire du macro-modèle dans la configuration $V_{B2}=5V$ et $V_{B1}=0V$ sur plusieurs caractéristiques du DGP EDMOS.

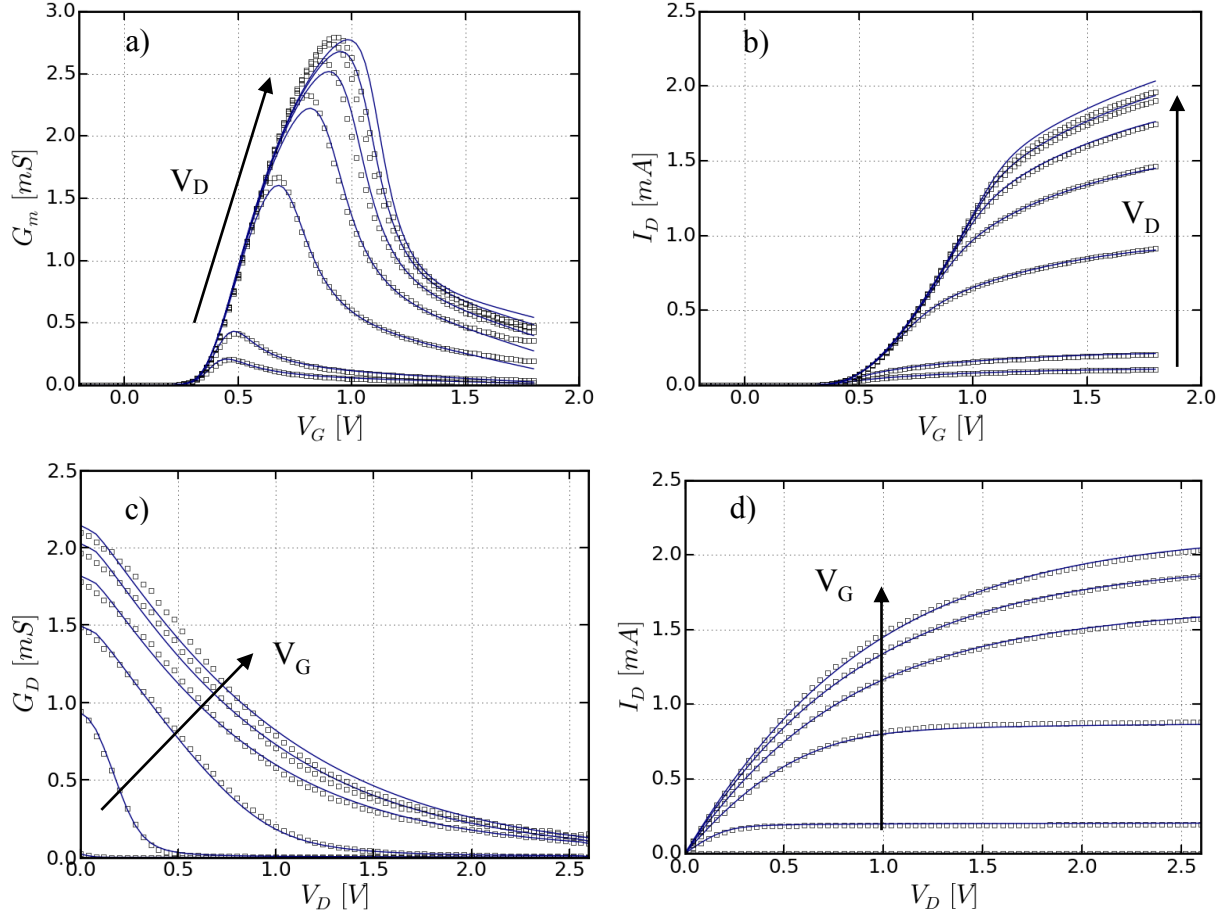


Figure 4.16: Caractéristiques du DGP EDMOS montrant le résultat de l'extraction de la résistance de drain proposée dans [23]. $V_{B1}=0V$, $V_{B2}=5V$, $T=25^\circ C$. Comparaison entre mesures (symbole) et simulations (ligne).

On montre une bonne précision des simulations par rapport aux mesures (Fig. 4.16a) grâce à la résistance non linéaire du macro-modèle. Le pic et la décroissance du G_M sont bien modélisés et la quasi-saturation bien représentée à fort V_G (Fig. 4.16d).

Par ailleurs, lors de notre extraction, le ratio $\left| r_{d0} / \left(\frac{r_{d1}}{\gamma V_G - 1} \right) \right|$ s'est avéré être de l'ordre de 1.10^{-17} pour toutes les valeurs de V_G comprises dans l'intervalle $[-1.8V, 1.8V]$. Ceci permet de négliger le terme $\left(\frac{r_{d1}}{\gamma V_G - 1} \right)$ et « d'économiser » 2 paramètres r_{d1} et γ . La résistance se réécrit :

$$R_{EXT}(V_D, V_G, T) = ([r_{d0}] \times B(V_G, V_D)) \cdot \left(\frac{T}{T_0} \right)^{\chi_T}$$

▪ **Modélisation et extraction de la résistance en fonction de V_{B2} à 25°C :**

Le DGP EDMOS repose sur l'utilisation d'une polarisation de face arrière sous la zone d'extension de drain. Afin d'extraire la dépendance de la résistance de drain étendu avec la tension V_{B2} , nous recommençons la démarche précédente pour $V_{B2}=1.8V$ et $V_{B2}=3.6V$. Nous essayons d'obtenir une bonne précision en changeant uniquement le paramètre r_{d0} de la résistance.

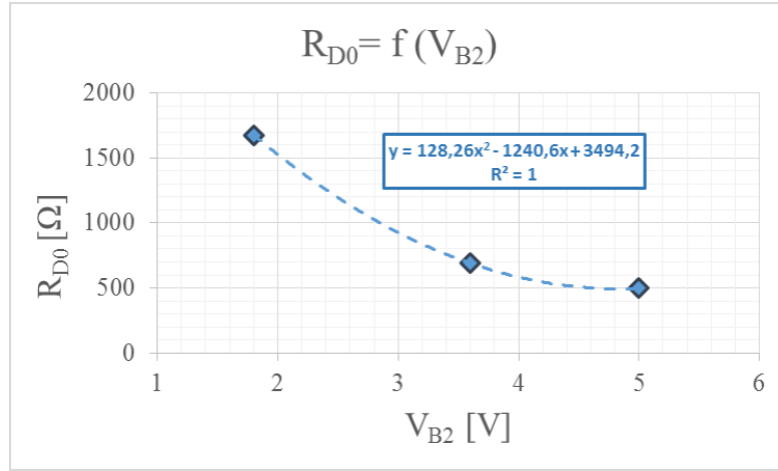


Figure 4.17: Evolution du paramètre r_{d0} du modèle résistance de drain étendu [23] avec la polarisation arrière V_{B2} . $V_{B1}=0V$, $T=25^\circ C$. Valeurs extraites (symboles) et courbe de régression polynomiale (pointillés).

Nous obtenons ainsi une expression de la résistance de la forme :

$$R_{EXT}(V_D, V_G, T) = ([r_{d0}(V_{B2})] \times B(V_G, V_D)) \cdot \left(\frac{T}{T_0}\right)^{\chi_T}$$

où $[r_{d0}(V_{B2})]$ est une fonction polynomiale de second ordre (Fig 4.17).

Cette nouvelle expression permet au premier ordre de tenir compte de la dépendance en V_{B2} de la résistance dans la gamme 1.8 à 5V. Nous pouvons vérifier la pertinence d'une telle approche en nous intéressant aux résultats des simulations par rapport aux mesures que nous avons effectuées à $V_{B2}=4V$ (Fig. 4.18).

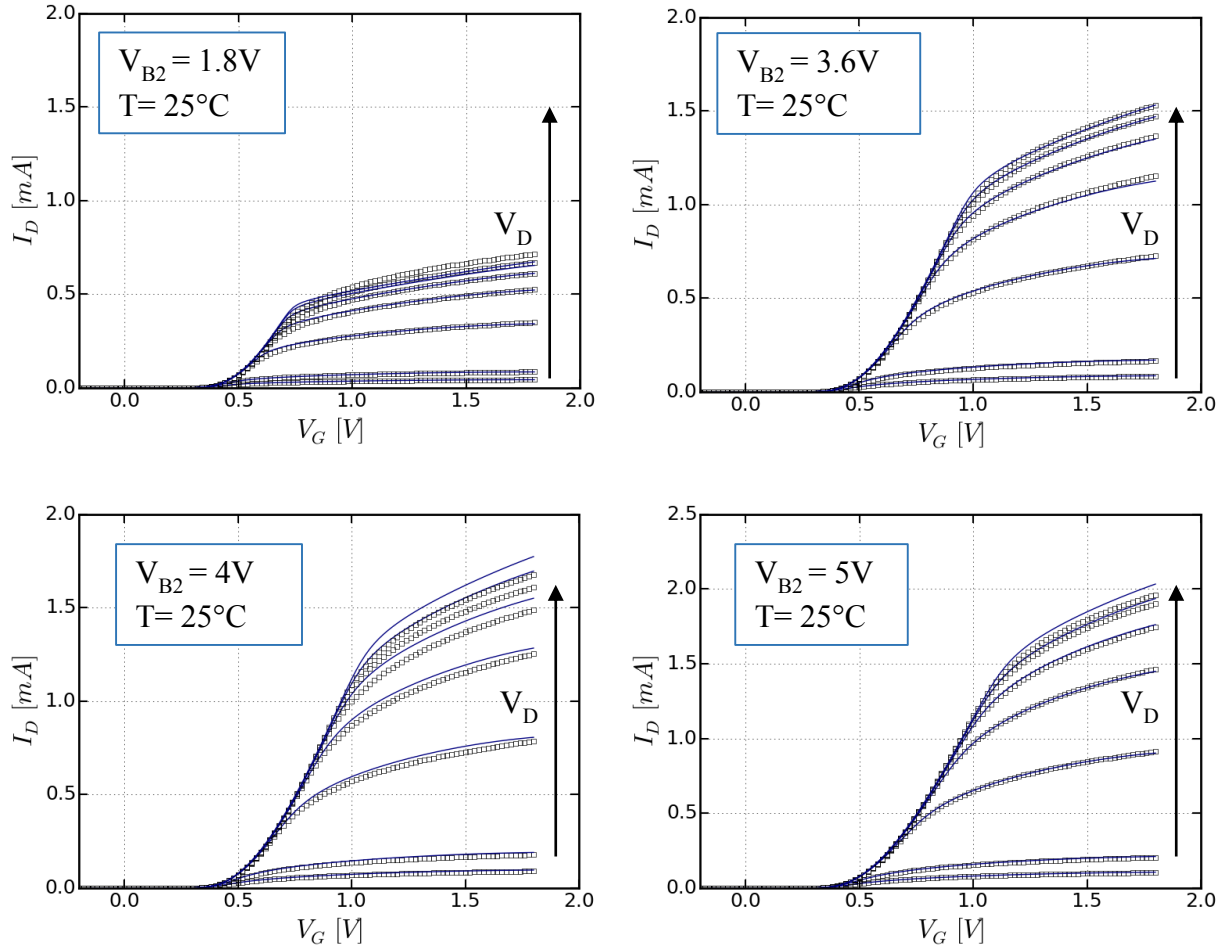


Figure 4.18: Résultat de l'extraction de la résistance pour différents V_{B2} . $V_{B1}=0V$, $T=25^\circ C$. Comparaison entre mesures (symbole) et simulations (ligne).

Nous obtenons des simulations précises malgré quelques compromis. Ainsi le courant est légèrement surestimé (erreur $\sim +6\%$) pour $V_{B2}=4V$.

▪ Extraction des paramètres en température de la résistance :

La dernière étape consiste à extraire les paramètres en température de la résistance en s'appuyant sur les mesures effectuées à $-40^\circ C$, $25^\circ C$ et $125^\circ C$. Les résultats de cette extraction sont présentés dans la Figure 4.19 pour la gamme pressentie d'utilisation (3.6V-5V).

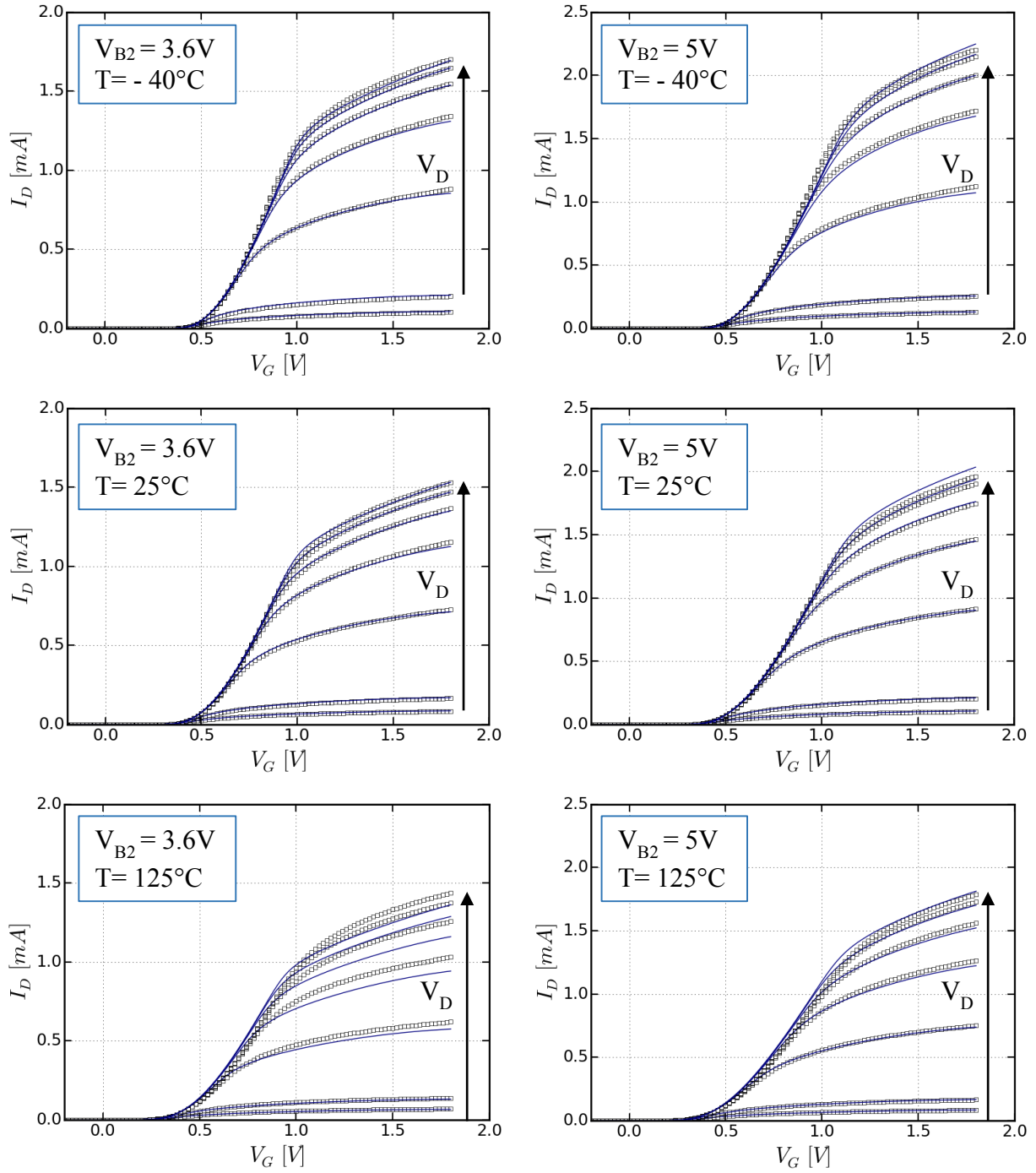


Figure 4.19: Résultat de l'extraction du macro-modèle du DGP EDMOS pour différents V_{B2} et températures $V_{B1}=0V$. Comparaison entre mesures (symbole) et simulations (ligne).

Les simulations suivent bien la mesure dans de nombreuses configurations (V_{B2} , T). Une sous-estimation du courant est néanmoins visible à 125°C et $V_{B2}=3.6\text{V}$ (erreur $\sim -5\%$).

▪ **Bilan et perspectives de la modélisation:**

L'utilisation d'un macro-modèle, basé sur *UTSOI2* et un modèle de résistance de drain étendu dédiée, nous a permis d'obtenir de bons résultats dans la modélisation statique (DC) du DGP EDMOS. Il reste à valider ce modèle en régimes AC (modèle de charge) et radiofréquences à travers l'extraction des capacités et des parasites. Lors de cette première approche, la tension de face arrière du canal a été considérée fixée à $V_{BI}=0V$ et les structures de tests RF n'étaient pas encore disponibles pour l'extraction des capacités (C_{GD}) et la validation de notre modèle. On pourrait également envisager de remplacer notre modèle de résistance par un second MOS tête à l'envers.

4.4. Eléments de fiabilité

De façon à se rapprocher du fonctionnement du MOS haute tension au sein d'une application, nous avons débuté l'étude de la fiabilité du DGP EDMOS dans le temps. Etudier la robustesse du dispositif permet de renseigner les concepteurs de circuit sur les régimes d'utilisation qui garantissent la durée de vie du transistor : on parle de zone d'utilisation garantie ou de SOA (de l'anglais « Safe Operating Area ») [28]. Au-delà de la notion de tension de claquage qui caractérise la destruction du dispositif, le SOA électrique prend aussi en compte la dégradation lente du dispositif soumis à des stress répétés dans le temps. Ce vieillissement s'explique principalement par l'injection de porteurs dans les oxydes (celui de la grille, le BOX ou le RPO). Les charges piégées vont créer des capacités parasites capables de modifier les tensions de seuil ou la résistivité [29], [30]. Dans le but de la fiabilisation du DGP EDMOS, des mesures ont été réalisées au laboratoire de caractérisation et de fiabilité de STMicroelectronics à Crolles.

4.4.1. Dérive des paramètres

Les échantillons de DGP EDMOS en 28nm FDSOI ont été soumis à des stress prolongés afin de déterminer la dérive des paramètres. Dans la pratique, on mesure les paramètres électriques (I_{LIN} , I_{ON} , I_{OFF} , ΔV_{TH}) d'un dispositif « frais » puis on le soumet à un stress continu. On interrompt le test à intervalles de temps réguliers (suivant un pas logarithmique) pour remesurer le dispositif

et relever la dérive des paramètres (Fig. 4.20). On arrête la mesure dès que le critère de vieillissement est atteint comme par exemple 10% de dérive sur le courant. Dans l'industrie des méthodes de vieillissement accéléré puis de modélisation (comme par exemple le modèle de Takeda [31]) sont utilisées pour déterminer la durée de vie.

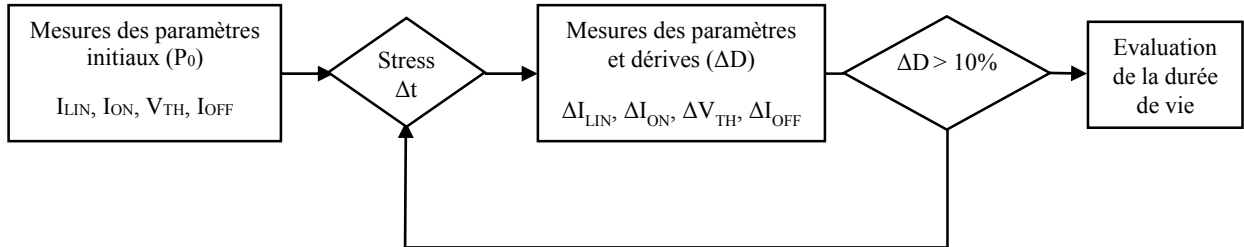


Figure 4.20: Principe de mesure de la dérive des paramètres électriques pour l'évaluation de la durée de vie

Les DGP EDMOS en 28nm FDSOI ($OV_{GP} = -100$ nm) sont étudiés dans les régimes de fonctionnement bloqué (notamment pour les applications en modes commutés) et passant (pour les modes analogiques) en fonction de la polarisation du GP-N (V_{B2}). Les stress appliqués sont les suivants :

- $V_D = 5.5V$ et $V_G = 0V$ (état bloqué)
- $V_D = 3.6V$ et $V_G = 2V$ (état passant)

La température de stress est de $125^\circ C$. Il s'agit en effet du pire cas d'un point de vue des phénomènes du vieillissement. Les dérives du courant ($\Delta I_{D,LIN}$) et de la tension de seuil (ΔV_{TH}) en régime linéaire (faible V_D) sont montrées sur les Figures 4.21 et 4.22.

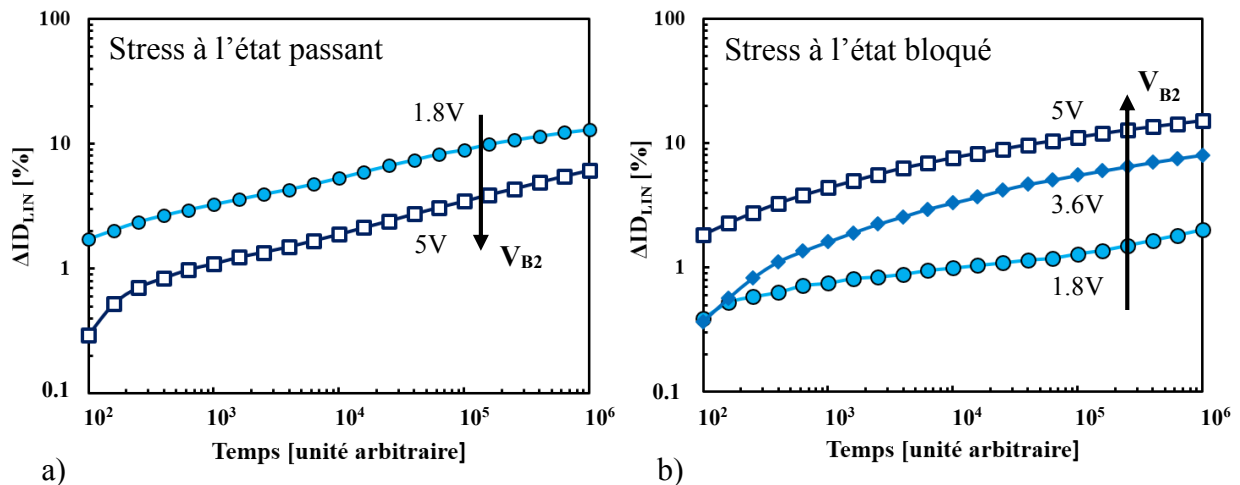


Figure 4.21: Dérive du courant linéaire $\Delta I_{D,LIN}$ pour différents V_{B2} avec un stress a) à l'état passant et b) à l'état bloqué. DGP EDMOS en 28nm FDSOI.

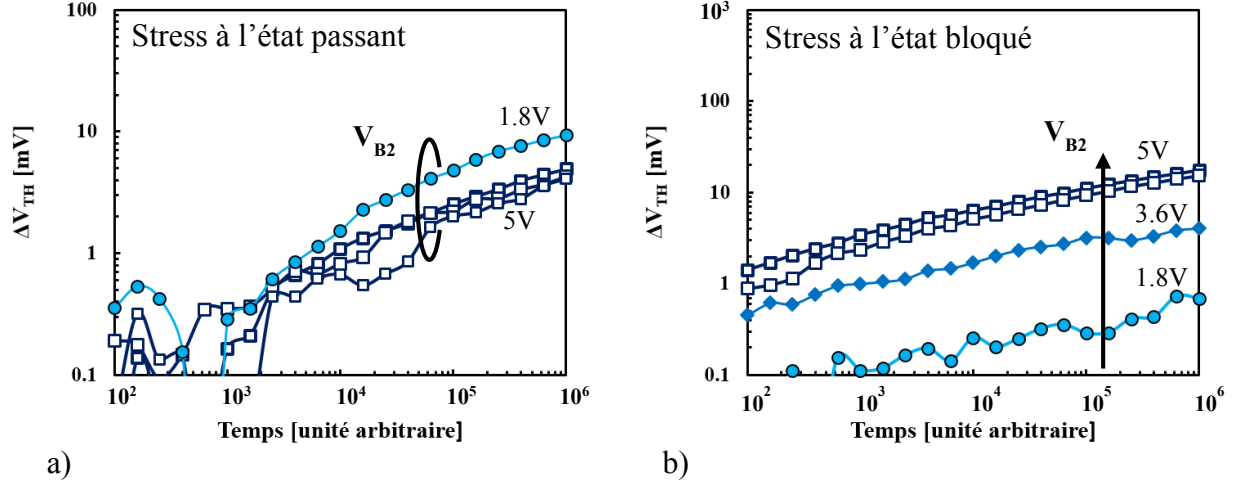


Figure 4.22: Dérive de la tension de seuil ΔV_{TH} pour différents V_{B2} pour un stress a) à l'état passant et b) à l'état bloqué. DGP EDMOS en 28nm FDSOI.

A l'état bloqué comme à l'état passant, les dérives des V_{TH} (Fig. 4.22) sont beaucoup plus faibles que les dérives du courant linéaire ID_{LIN} (Fig. 4.21) et restent modestes avec une dégradation maximale de l'ordre de 10mV soit $\sim 2\%$. On peut alors, en différenciant l'expression du courant de drain, relier les dégradations par :

$$\frac{\Delta ID_{LIN}}{ID_{LIN}} \propto \frac{\Delta V_{TH}}{V_{GS} - V_{TH}} + \frac{\Delta \mu}{\mu}$$

La variation du courant $\Delta ID_{LIN}/ID_{LIN} \sim 10\%$ s'expliquerait alors principalement à l'aide du terme de mobilité (qui regroupe la résistance série) et non pas par celui de la tension de seuil V_{TH} avec seulement $(\Delta V_{TH}/V_{GS} - V_{TH}) < 0.6\%$. Ce résultat laisse penser que la détérioration des propriétés électriques n'est pas (ou peu) liée au vieillissement par porteurs chauds de l'oxyde de grille qui est de bonne qualité. A l'inverse, la diminution du courant linéaire s'expliquerait par le piégeage de charges dans l'oxyde de protection (RPO) de la zone d'extension de drain. Les porteurs générés dans les zones de forts champs électriques seraient injectés dans l'oxyde venant moduler la résistance par un effet capacitif parasite.

Par ailleurs, on observe une différence d'évolution des dérives avec la polarisation de la face arrière V_{B2} entre les modes de fonctionnement. A l'état bloqué (Fig. 4.21b et 4.22b), les dérives des paramètres sont amplifiées avec l'augmentation de V_{B2} tandis qu'à l'état passant (Fig. 4.21a et 4.22a) le comportement inverse est observé.

4.4.2. Identification des zones de dégradation

Afin de vérifier l'hypothèse de localisation de la dégradation et de comprendre la différence dans le vieillissement du DGP EDMOS avec à la polarisation V_{B2} , nous comparons les résultats de caractérisation avec la localisation du champ vertical transverse (E_Y) et des niveaux de générations de porteurs obtenus par simulations TCAD (Fig. 4.23 et 4.24, avec $N_{EXT}=1.10^{18}cm^{-3}$).

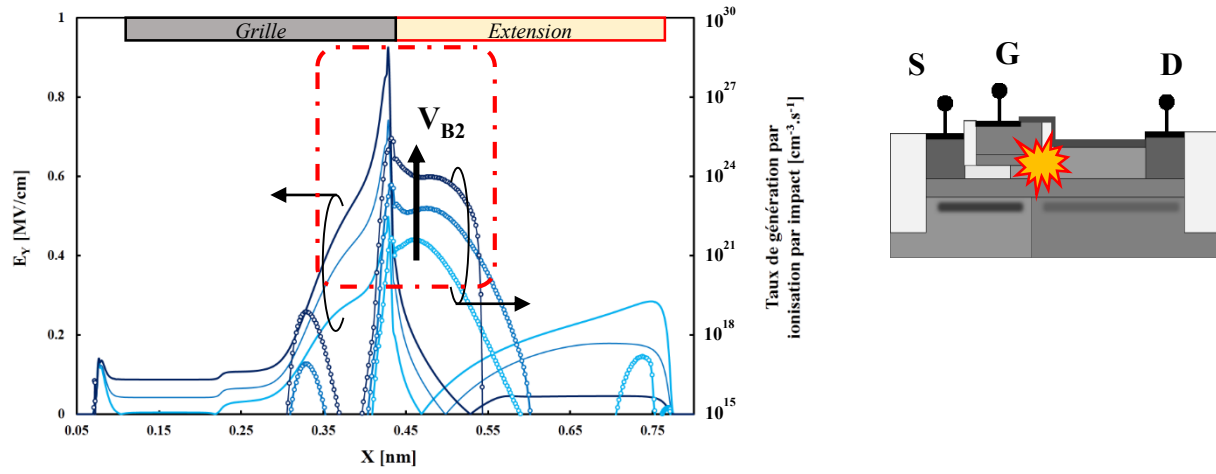


Figure 4.23: Simulations du champ électrique transverse et du taux de génération par impact à l'état bloqué, $V_D=6V$ et $V_G=0V$ pour différentes tensions de face arrière $V_{B2} = 1.8V, 3.6V, 5V$. DGP EDMOS 28nm FDSOI.

A l'état bloqué, lorsque la tension du GP-N augmente de 1.8V à 5V, le taux de génération par ionisation par impact croît dans la région du coin de la grille où le champ transverse E_Y est également de plus en plus important (Fig. 4.23). Ce champ assiste le piégeage des charges générées y compris dans l'oxyde de grille, ce qui pourrait expliquer la légère variation de la tension de seuil et l'augmentation de sa dérive avec V_{B2} . Ainsi à $V_G = 0V$, l'injection de porteurs est de plus en plus importante avec V_{B2} et a lieu dans la zone du coin de la grille.

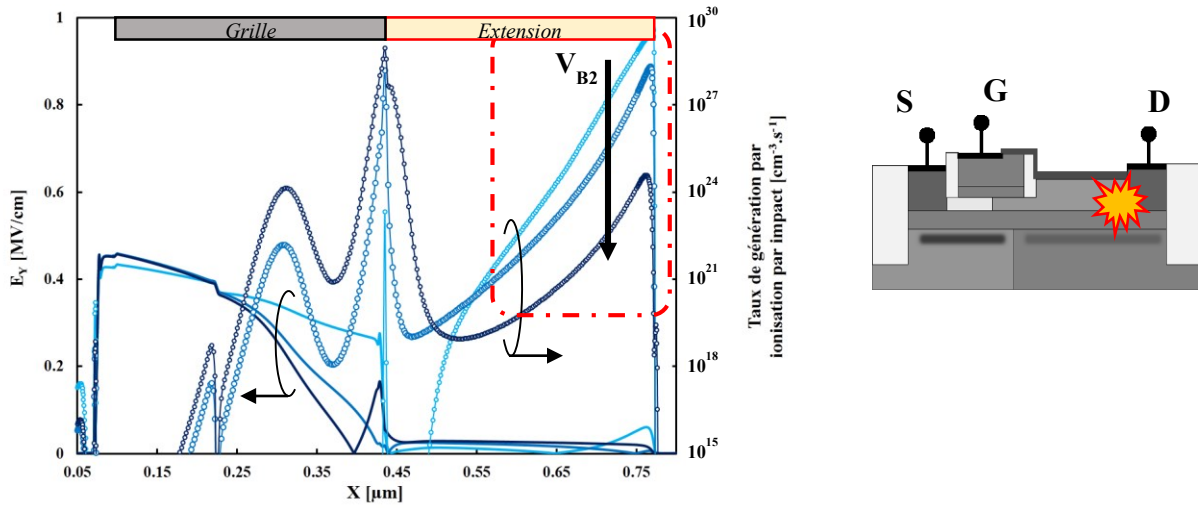


Figure 4.24: Simulations du champ électrique transverse et du taux de génération par impact à l'état passant $V_D=4V$ et $V_G=2V$ pour différentes tensions de face arrière $V_{B2} = 1.8V, 3.6V, 5V$. DGP EDMOS 28nm FDSOI.

A l'inverse à l'état passant (Fig. 4.24), les taux d'ionisation par impact sont extrêmement forts dans la région de la transition du drain et diminuent avec la tension de face arrière. Ainsi V_{B2} conduit à une réduction de la dégradation du RPO (ID_{LIN}) qui survient majoritairement dans cette zone du transistor. Aucun champ ne vient se combiner à la génération de porteurs dans la région de grille, ce qui pourrait expliquer que la tension de face arrière n'a qu'un impact limité sur la dégradation de l'oxyde de grille (sur le V_{TH}).

Pour étayer ces observations, nous adaptons la méthode de caractérisation proposée dans [32] qui consiste à comparer la somme des dérives (aux états passant et bloqué) avec la dégradation obtenue par une alternance (avec un certain ratio) entre les régimes. Le dispositif est mesuré, pour un même $V_{B2} = 5V$, en alternant les deux régimes passant et bloqué. A l'aide d'un générateur d'impulsions, le dispositif est stressé alternativement (Fig. 4.25) à l'état passant pendant 1ms (soit 1% du temps) puis à l'état bloqué pendant 99ms (soit 99% du temps). Ce ratio de temps est choisi pour obtenir des taux de dégradations comparables entre les deux états. Les paramètres électriques sont relevés à un intervalle régulier pour extraire la dérive en fonction du temps.

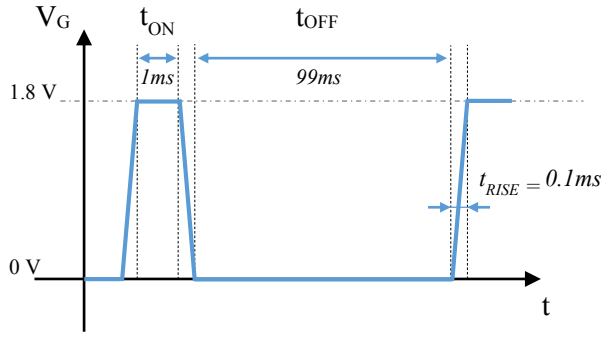


Figure 4.25: Représentation schématique de la séquence des conditions de stress alternées.

Une fois la dérive alternée obtenue, on la compare avec deux modèles de dégradation en loi de puissance [31]–[33] obtenus à partir des mesures de dérives précédentes (Fig. 4.21 et 4.22). Le premier modèle traduit des vieillissements indépendants. Ce modèle considère que les stress en régimes bloqué et passant génèrent des défauts de manière indépendante et la dérive totale est simplement la somme des dégradations individuelles :

$$\Delta D = \Delta D_{ON} + \Delta D_{OFF} = A_{ON} \cdot t_{ON}^n + A_{OFF} \cdot t_{OFF}^n$$

Le second modèle considère des détériorations corrélées entre les différents régimes de fonctionnement et tient compte de l'historique. Les défauts générés lors d'une première phase viennent limiter le taux de génération de défaut par la suite : les phénomènes se limitent entre eux. Cette hypothèse est exprimée à travers la loi suivante (on parle parfois de « Fonction Age »):

$$\Delta D = (A_{ON}^{1/n} \cdot t_{ON} + A_{OFF}^{1/n} \cdot t_{OFF})^n$$

Les résultats des différents formalismes de dérives sont comparés avec la dérive alternée du courant linéaire (Fig. 4.26).

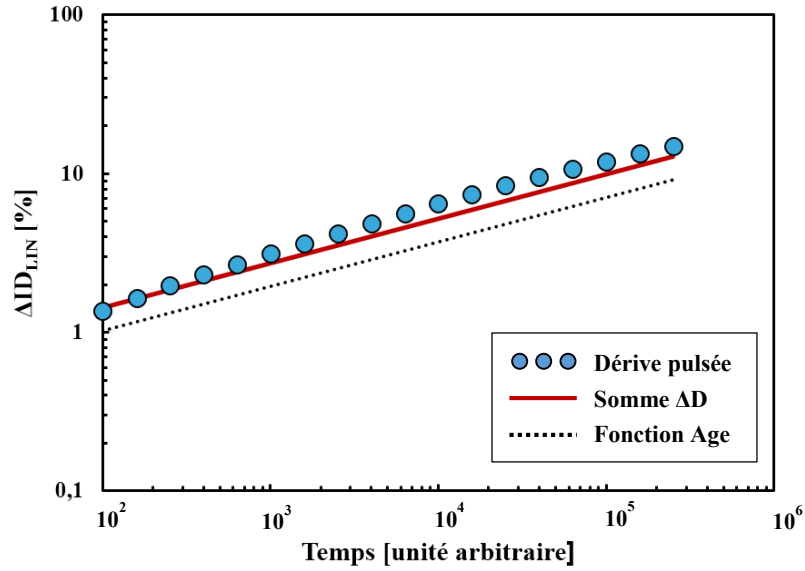


Figure 4.26: Comparaison de la dérive alternée avec les formalismes de vieillissement avec ou sans prise en compte de l'historique des dégradations.

On constate une bonne concordance entre la dérive alternée et la somme des dérives ΔD . Ceci semble indiquer que les lieux et causes des dégradations entre les deux états ne sont pas corrélés. Ce résultat va dans le sens d'une localisation différente de la dégradation entre l'état bloqué et passant comme dans nos observations. Les résultats obtenus par cette analyse nous renseignent sur les points faibles des structures qui sont à considérer dans la fiabilisation du DGP EDMOS pour les différentes applications envisagées.

4.5. Conclusion

Dans ce dernier chapitre, nous avons effectué la modélisation statique SPICE de l'architecture innovante du DGP EDMOS dans le but de donner aux concepteurs de circuits les moyens d'évaluer les performances de futures applications basées sur ce composant. Le macro-modèle proposé repose sur UTISOI2 afin de prendre en compte les effets spécifiques aux transistors MOS en FDSOI. Les paramètres ont été initialisés grâce aux modèles de transistors MOS à oxyde épais extraits sur des transistors fabriqués dans la plateforme industrielle FDSOI. Après cette initialisation, le modèle a été adapté en rajoutant une résistance non-linéaire afin de prendre en compte le comportement de la zone d'extension de drain de l'EDMOS sur SOI, ce qui inclut la dépendance de la résistance avec la tension de la grille arrière V_{B2} . L'extraction des paramètres

repose sur une campagne de mesures en température du transistor DGP EDMOS qui permet de s'assurer que les tenues en tensions restent compatibles avec les applications visées.

Pour aller plus loin, nous avons également débuté une étude de la fiabilité du composant. Cette analyse permet d'identifier les points chauds responsables de la dégradation du dispositif au cours du temps et pour différents régimes de fonctionnement. Les travaux de modélisation restent à confirmer par des travaux plus complets qui tiennent par exemple compte du modèle de charges du transistor. Enfin, une analyse plus complète de la fiabilité reste à effectuer pour étudier les différentes configurations d'EDMOS sur SOI, aller plus loin vers l'intégration et l'industrialisation du composant.

4.6. Bibliographie

- [1] G. Gildenblat, X. Li, W. Wu, et al., "PSP: An Advanced Surface-Potential-Based MOSFET Model for Circuit Simulation," *IEEE Trans. Electron Devices*, vol. 53, no. 9, pp. 1979–1993, Sep. 2006.
- [2] M. Miura-Mattausch, H. Ueno, M. Tanaka, et al., "HiSIM: a MOSFET model for circuit simulation connecting circuit performance with technology," in *Digest. International Electron Devices Meeting*, 2002, vol. 21, pp. 109–112.
- [3] B. J. Sheu, D. L. Scharfetter, P.-K. Ko, et al., "BSIM: Berkely Short-Channel IGFET Model for MOS Transistors," *Solid-State Circuits, IEEE J.*, vol. 22, no. 4, pp. 558–566, Aug. 1987.
- [4] Mentor Graphics, "Eldo Web Page," 2015. [Online]. Available: <http://www.mentor.com/>.
- [5] Synopsys, "HSPICE tool Web Page," 2015. [Online]. Available: <https://www.synopsys.com/tools>. [Accessed: 01-Jan-2015].
- [6] Cadence, "Spectre Web Page," 2015. [Online]. Available: <http://www.cadence.com/>. [Accessed: 01-Jan-2015].
- [7] Keysight, "Advanced Design System (ADS) Web Page," 2015. [Online]. Available: <http://www.keysight.com/en>. [Accessed: 01-Jan-2015].
- [8] T. Poiroux, O. Rozeau, S. Martinie, et al., "UTSOI2 : A compact model for UTBB devices accounting for back interface inversion Why a new model version ?," in *MOS-AK Workshop*, 2013.
- [9] C. C. McAndrew, "Validation of MOSFET model Source-Drain Symmetry," *IEEE Trans. Electron Devices*,

vol. 53, no. 9, pp. 2202–2206, 2006.

- [10] C. C. Enz, F. Krummenacher, and E. A. Vittoz, “An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications,” *Analog Integr. Circuits Signal Process.*, vol. 8, no. 1, pp. 83–114, Jul. 1995.
- [11] M. Bucher, C. Lallement, C. Enz, et al., “The EPFL-EKV MOSFET Model Equations for Simulation Technical Report V2.6,” Electronics Laboratories, Swiss Federal Institute of Technology (EPFL), 1999.
- [12] R. Van Langevelde and G. Gildenblat, “PSP: An advanced surface-potential-based MOSFET model,” *Transistor Lev. Model. Analog. IC Des.*, vol. 53, no. 9, pp. 29–66, 2006.
- [13] D. E. Ward and R. W. Dutton, “A charge-oriented model for MOS transistor capacitances,” *IEEE J. Solid-State Circuits*, vol. 13, no. 5, 1978.
- [14] X. Li, W. Wu, and G. Gildenblat, “Psp 103.1,” *NXP Tech. Note*, no. NXP-R-TN-2008/00299, 2009.
- [15] O. Rozeau, M.-A. Jaud, T. Poiroux, et al., “UTSOI Model 1.1.3 Surface Potential Model for Ultra Thin Fully Depleted SOI MOSFET,” *CEA Leti - Model Descr.*, pp. 1–27, 2012.
- [16] T. Poiroux, O. Rozeau, P. Scheer, et al., “Leti-UTSOI2 . 1 : A Compact Model for UTBB-FDSOI Technologies — Part I : Interface Potentials Analytical Model,” *IEEE Trans. Electron Devices*, vol. 62, no. 9, pp. 2751–2759, 2015.
- [17] T. Poiroux, O. Rozeau, P. Scheer, et al., “Leti-UTSOI2 . 1 : A Compact Model for UTBB-FDSOI Technologies — Part II : DC and AC Model Description,” *IEEE Trans. Electron Devices*, vol. 62, no. 9, pp. 2760–2768, 2015.
- [18] Y. Oritsuki, M. Yokomichi, T. Kajiwara, et al., “HiSIM-HV: A compact model for simulation of high-voltage MOSFET circuits,” *IEEE Trans. Electron Devices*, vol. 57, no. 10, pp. 2671–2678, 2010.
- [19] A. Litty, S. Ortolland, S. Cristoloveanu, et al., “Improved modeling of isolated E DMOS in advanced CMOS technologies,” in *IC Design & Technology (ICICDT), 2013 International Conference on*, 2013, pp. 25–28.
- [20] A. Canepari, G. Bertrand, A. Giry, et al., “LDMOS modeling for analog and RF circuit design,” in *Proceedings of ESSDERC 2005: 35th European Solid-State Device Research Conference*, 2005, no. 1, pp. 469–472.
- [21] S. Hniki, G. Bertrand, S. Ortolland, et al., “Thermal effects modeling of multi-fingered MOSFETs based on new specific test structures,” *2009 Proc. Eur. Solid State Device Res. Conf.*, pp. 3–6, Sep. 2009.
- [22] J. L. Sanchez, M. Gharbi, H. Tranduc, et al., “Quasisaturation effect in high-voltage VDMOS transistors,” *IEE Proc. I Solid State Electron Devices*, vol. 132, no. 1, p. 42, Feb. 1985.

- Chapitre 4 : Modélisation et mesures pour l'évaluation du composant -

- [23] N. Hefyene, E. Vestiel, B. Bakeroort, et al., "Bias-dependent drift resistance modeling for accurate DC and AC simulation of asymmetric HV-MOSFET," in *Simulation of Semiconductor Processes and Devices, 2002. SISPAD 2002. International Conference on*, 2002, pp. 203–206.
- [24] C. Anghel, a. M. Ionescu, N. Hefyene, et al., "Self-heating characterization and extraction method for thermal resistance and capacitance in high voltage MOSFETs," *ESSDERC '03. 33rd Conf. Eur. Solid-State Device Res. 2003.*, no. OCTOBER, pp. 1–4, 2003.
- [25] C. Anghel, Y. S. Chauhan, N. Hefyene, et al., "A Physical Analysis of High Voltage MOSFET Capacitance Behaviour," in *IEEE International Symposium on Industrial Electronics*, 2005, pp. 473–478.
- [26] S. M. Sze, *Physics of Semiconductor Devices*, 2nd ed. John Wiley & Sons, 1981.
- [27] H. Weinerth, "Silicon diode breakdown in the transition range between avalanche effect and field emission," *Solid. State. Electron.*, vol. 10, no. 11, pp. 1053–1062, Nov. 1967.
- [28] P. Hower, J. Lin, S. Haynie, et al., "Safe operating area considerations in LDMOS Transistors," in *Power Semiconductor Devices and ICs, 1999. ISPSD'99. Proceedings., The 11th International Symposium on*, 1999, pp. 55–58.
- [29] P. Moens, G. Van den Bosch, C. De Keukeleire, et al., "Hot hole degradation effects in lateral nDMOS transistors," *IEEE Trans. Electron Devices*, vol. 51, no. 10, pp. 1704–1710, 2004.
- [30] D. Lachenal, L. Boissonnet, and A. Bravaix, "Reliability Investigation of NLDEMOS in 0.13 μ m SOI CMOS Technology," in *Microelectronics, 2006 25th International Conference on*, 2006, pp. 555–558.
- [31] E. Takeda and N. Suzuki, "An empirical model for device degradation due to hot-carrier injection," *IEEE Electron Device Lett.*, vol. 4, no. 4, pp. 111–113, 1983.
- [32] X. Federspiel, F. Cacho, and D. Roy, "Experimental characterization of the interactions between HCI, off-state and BTI degradation modes," *IEEE Int. Integr. Reliab. Work. Final Rep.*, no. 33, pp. 133–136, 2011.
- [33] G. T. Sasse and J. Bisschop, "The hot carrier degradation rate under AC stress," *2010 IEEE Int. Reliab. Phys. Symp.*, no. 2, pp. 830–834, 2010.

Conclusions

Les travaux décrits dans cette thèse concernent le développement d'un transistor MOS haute tension en technologies CMOS avancées sur SOI. La technologie totalement désertée sur silicium sur isolant ou **FDSOI** est une alternative à la technologie CMOS sur silicium massif pour continuer la loi de Moore et améliorer les performances des circuits intégrés numériques. **En utilisant un oxyde enterré et un film de silicium extrêmement minces**, elle permet de garantir l'intégrité électrostatique des transistors MOS dont les tensions d'alimentation se réduisent. L'intégration de nouvelles fonctionnalités en technologies FDSOI passe alors par le développement d'applications haute tension comme par exemple les convertisseurs DC/DC, les régulateurs de tension ou les amplificateurs de puissance. Or les composants standards de la plateforme numérique ne sont pas capables de fonctionner avec les hautes tensions requises. Pour apporter des solutions à cette limite, nous avons étudié les différents composants « haute tension » intégrables et mis en avant le transistor MOS à drain étendu (EDMOS) comme un bon candidat.

Nous avons commencé par montrer qu'il est possible d'utiliser **l'hybridation du substrat** pour développer des EDMOS avec un faible coût. Si cette solution est intéressante, elle est en revanche fortement dépendante des choix effectués dans le développement des composants de la plateforme digitale et nécessite encore des solutions d'isolation propres au substrat massif. Afin de profiter des avantages du substrat SOI (courants de fuite réduits et isolation totale apportés par l'oxyde enterré), nous avons alors étudié pour la **première fois la conception d'un MOS haute tension directement intégré dans le film ultramine** des technologies FDSOI (i.e. un film avec une épaisseur inférieure à 10nm).

Nous avons cependant vu dans un premier temps que l'utilisation d'un substrat SOI de plus en plus mince (nécessaire pour les performances numériques) entraînait une limitation des tensions que peuvent soutenir les transistors MOS haute tension. En nous basant sur des résultats de simulations numériques et des modèles issus de la littérature, nous avons montré que si cette tendance s'accroissait dans les technologies FDSOI en raison d'une distribution défavorable du champ électrique, les tenues en tensions théoriques ($\sim 10\text{V}$) restaient très supérieures aux valeurs recherchées dans nos applications (de l'ordre de 3 à 5V).

Dans un second temps, nous avons **transposé dans le film du noeud 28nm FDSOI** l'architecture du transistor MOS à drain étendu préexistante dans les technologies CMOS sur silicium massif. En élaborant un plan d'expérience jouant sur les configurations, les paramètres géométriques et le procédé de fabrication, nous avons obtenu des échantillons d'EDMOS sur SOI prometteurs que nous avons caractérisés. A travers des mesures électriques et des simulations numériques, nous avons vu et expliqué l'impact du niveau de dopage de la zone d'extension sur le comportement du composant, en termes de résistance et de tenue en tension. L'optimisation du niveau de dopage dans la zone d'extension de drain de l'EDMOS nécessite des étapes de fabrication dédiées qui s'ajoutent au procédé de fabrication et augmente son coût global. De plus, la grille arrière, constituée par le Ground Plane (GP) fortement dopé de la technologie FDSOI, s'est avérée pouvoir être utilisée de manière limitée en raison de ses effets contradictoires sur la tension de seuil (et donc le courant de fuite) et sur la tenue en tension.

Afin de bénéficier de ce nouveau levier et de réduire le nombre d'étapes dédiées dans la conception d'un transistor MOS haute tension, nous avons proposé une nouvelle architecture : le Dual Ground Plane EDMOS (DGP EDMOS). Le principe de fonctionnement de ce **composant innovant repose sur la modulation électrostatique** de la distribution du champ électrique et de la résistance série obtenue en introduisant un second GP de type N (cas N-EDMOS) sous la zone d'extension de drain de la structure. L'intérêt est d'obtenir de bons compromis entre la résistance série ($R_{ON,S}$) et la tenue en tension (BV_{DS}) grâce à un effet analogue au RESURF (« Reduced Surface Field »). En s'adaptant au niveau de dopage présent dans la zone d'extension de drain, cette solution vise ainsi l'économie d'une étape d'implantation dédiée au MOS haute tension.

Grâce aux deux approches étudiées, nous avons conçu des premiers échantillons d'EDMOS sur SOI avec des **caractéristiques électriques prometteuses dans les technologies 14nm et 28nm FDSOI** :

- Les tensions de seuil sont de l'ordre de $V_{TH} \sim 400-480\text{mV}$ et sont comparables aux tensions de seuil des MOS digitaux. Nous avons en effet conservé l'oxyde de grille des technologies CMOS FDSOI.
- Les résistances passantes spécifiques ($R_{ON.S}$) sont faibles avec des valeurs comprises entre 2.5 et $4\text{m}\Omega.\text{mm}^2$. Ce résultat est par ailleurs comparable aux MOS haute tension préexistants en technologie CMOS avancées sur substrat massif (en 45nm l'EDMOS avait un $R_{ON.S}$ voisin de $3\text{m}\Omega.\text{mm}^2$).
- Les tenues en tension (BV_{DS}) sont largement supérieures aux tensions requises par les applications visées avec des valeurs mesurées de l'ordre de 9 à 11V.
- Un courant de fuite très faible avec moins de $10\text{pA}/\mu\text{m}$.

Ainsi, dans ces travaux de recherche, nous avons obtenu de bonnes performances électriques avec des transistors sur SOI compatibles avec les procédés de fabrication FDSOI. En 28nm, les EDMOS transposés sur SOI ont nécessité l'emploi d'un implant dédié tandis que les DGP EDMOS ont permis de s'affranchir de cet implant. En 14nm, grâce au substrat ultramince, les DGP EDMOS ont fonctionné **sans aucun implant du film de silicium**.

Il reste cependant des pistes à explorer pour l'optimisation et l'industrialisation du composant que nous avons commencé à développer dans le dernier chapitre de ce manuscrit. Nous avons ainsi apporté **notre contribution à la modélisation électrique** de ce dispositif en proposant un macro-modèle pour tenir compte les spécificités du FDSOI et du DGP EDMOS. Ces travaux restent à compléter par le modèle de charge du transistor pour la modélisation de son comportement dynamique. Pour cela, des structures de tests adaptées à la caractérisation en régime radiofréquence ont été conçues et dessinées. Enfin **l'étude préliminaire de fiabilité** que nous avons menée reste à poursuivre avant l'industrialisation potentielle du composant.

En conclusion, ces travaux constituent une contribution à l'étude et à la conception d'un transistor MOS haute tension en technologie CMOS sur SOI avancée. **Pour la première fois,**

- Conclusions -

l'étude d'un EDMOS directement intégré dans un film de silicium ultramince sur isolant (i.e. d'épaisseur inférieure à 10nm) est rapportée.

Productions scientifiques

Articles de journaux :

A. Litty, S. Ortolland, D. Golanski, et al., “Dual ground plane for high-voltage MOSFET in UTBB FDSOI Technology,” *Solid. State. Electron.*, vol. 112, no. 1, pp. 3–4, 2014.

A. Litty, S. Ortolland, D. Golanski, et al., “Dual Ground Plane EDMOS in 28 nm FDSOI for 5 V power management applications,” *Solid. State. Electron.*, vol. 113, pp. 42–48, 2015.

Articles de conférences internationales:

A. Litty, S. Ortolland, S. Cristoloveanu, et al., “Improved modeling of isolated EDMOS in advanced CMOS technologies,” in *IC Design & Technology (ICICDT), 2013 International Conference on*, 2013, pp. 25–28.

A. Litty, S. Ortolland, D. Golanski, et al. "Dual ground plane for high-voltage MOSFET in UTBB FDSOI Technology." Inproceedings EuroSOI2014. 2014

A. Litty, S. Ortolland, D. Golanski, et al., “Dual Ground Plane EDMOS in ultrathin FDSOI for 5V energy management applications,” in *Solid State Device Research Conference (ESSDERC), 2014 44th European*, 2014, pp. 134–137

A. Litty, S. Ortolland, D. Golanski, et al., “Optimization of a high-voltage MOSFET in ultra-thin 14nm FDSOI technology,” in *2015 IEEE 27th International Symposium on Power Semiconductor Devices & IC's (ISPSD)*, 2015, pp. 73–76.

A. Litty, S. Ortolland, D. Golanski, et al., “EDMOS in Ultrathin FDSOI: Effect of Doping and Layout of the Drift Region,” in *Solid State Device Research Conference (ESSDERC), 2015 45th European*, 2015.

Présentation dans des congrès internationaux:

A. Litty, S. Ortolland, S. Cristoloveanu, “Towards High-Voltage MOSFETs in Ultrathin FDSOI,” *Accepted at the 9th Workshop on Frontiers in Electronics (WOFE)*, 2015.

A. Litty, Y. Solaro, H. El Dirani, S. Ortolland, P. Fonteneau, L. Onestas, C. Fenouillet-Beranger, C. Le Royer, M. Bawedin, A. Zaslavsky, P. Ferrari, S. Cristoloveanu, “A lesson from archeology : the buried gates,” *Future Trends in Microelectronics : ‘Journey Into the Unknown’ (FTM’15)*, Mallorca, Spain, June 21–26, 2015.

Brevet :

« Transistor MOS à drain étendu en couche mince sur isolant », Antoine Litty, Sylvie Ortolland, #FR3004583, 2014, déposé

Résumé

A l'heure où la miniaturisation des technologies CMOS sur substrat massif atteint des limites, la technologie FDSOI (silicium sur isolant totalement déserté) s'impose comme une alternative pour l'industrie en raison de ses meilleures performances. Dans cette technologie, l'utilisation d'un substrat SOI ultramince améliore le comportement des transistors MOSFETs et garantit leur intégrité électrostatique pour des dimensions en deçà de 28nm. Afin de lui intégrer de nouvelles fonctionnalités, il devient nécessaire de développer des applications dites « haute tension » comme les convertisseurs DC/DC, les régulateurs de tension ou encore les amplificateurs de puissance. Cependant les composants standards de la technologie CMOS ne sont pas capables de fonctionner sous les hautes tensions requises. Pour répondre à cette limitation, ces travaux portent sur le développement et l'étude de transistors MOS haute tension en technologie FDSOI. Plusieurs solutions sont étudiées à l'aide de simulations numériques et de caractérisations électriques : l'hybridation du substrat (gravure localisée de l'oxyde enterré) et la transposition sur le film mince. Une architecture innovante sur SOI, le Dual Gound Plane EDMOS, est alors proposée, caractérisée et modélisée. Cette architecture repose sur la polarisation d'une seconde grille arrière pour offrir un compromis $R_{ON}.S/BV$ prometteur pour les applications visées.

Mots Clés

FDSOI, MOS haute tension, EDMOS, CMOS avancé

Abstract

Nowadays the scaling of bulk silicon CMOS technologies is reaching physical limits. In this context, the FDSOI technology (fully depleted silicon-on-insulator) becomes an alternative for the industry because of its superior performances. The use of an ultra-thin SOI substrate provides an improvement of the MOSFETs behaviour and guarantees their electrostatic integrity for devices of 28nm and below. The development of high-voltage applications such DC/DC converters, voltage regulators and power amplifiers become necessary to integrate new functionalities in the technology. However, the standard devices are not designed to handle such high voltages. To overcome this limitation, this work is focused on the design of a high voltage MOSFET in FDSOI. Through simulations and electrical characterizations, we are exploring several solutions such as the hybridization of the SOI substrate (local opening of the buried oxide) or the implementation in the silicon film. An innovative architecture on SOI, the Dual Ground Plane EDMOS, is proposed, characterized and modelled. It relies on the biasing of a dedicated ground plane introduced below the device to offer promising $R_{ON}.S/BV$ trade-off for the targeted applications.

Keywords

FDSOI, High-Voltage MOSFET, EDMOS, advanced CMOS